

ADAN KVITSCHAL

ESTUDO E IMPLEMENTAÇÃO DE TRANSISTOR ORGÂNICO VERTICAL DE
EFEITO DE CAMPO COM ELETRODO INTERMEDIÁRIO NATURALMENTE
PERMEÁVEL

Dissertação apresentada como requisito parcial à
obtenção do grau de Mestre em Física, no Curso
de Pós-Graduação em Física da Universidade
Federal do Paraná.

Orientador: Prof. Dr. Ivo Alexandre Hümmelgen

CURITIBA

2015

K97e

Kvitschal, Adan

Estudo e implementação de transistor orgânico vertical de efeito de campo com eletrodo intermediário naturalmente permeável/ Adan Kvitschal. – Curitiba, 2015.

76 f. : il. color. ; 30 cm.

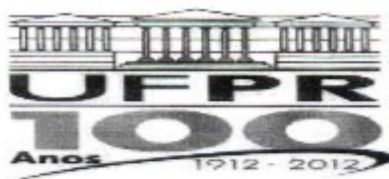
Dissertação - Universidade Federal do Paraná, Setor de Ciências Exatas, Programa de Pós-graduação em Física, 2015.

Orientador: Ivo Alexandre Hümmelgen .

Bibliografia: p. 72-74.

1. Eletrônica molecular. 2. Transistores de efeito de campo. 3. Dispositivos de filme fino. 4. Ftalocianinas. 5. Física de plasmas. I. Universidade Federal do Paraná. II. Hümmelgen, Ivo Alexandre. III. Título.

CDD: 621.381



MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DO PARANÁ
SETOR DE CIÊNCIAS EXATAS
CURSO DE PÓS-GRADUAÇÃO EM FÍSICA

Fone: (41) 3361-3096 Fax: (41) 3361-3418
E-mail: posgrad@fisica.ufpr.br

PARECER

Os abaixo-assinados, membros da banca examinadora de Defesa de Dissertação de Mestrado do aluno **ADAN KVITSCHAL**, consideram aprovada a redação final da dissertação, cujo título é: *"Estudo e Implementação de Transistor Orgânico Vertical de Efeito de Campo com Eletrodo Intermediário Naturalmente Permeável"*.

Curitiba, 04 de agosto de 2015.

Banca Examinadora

Assinatura

Prof. Dr. Ivo Alexandre Hümmelgen (UFPR)

Prof. Dr. Kleber Daum Machado (UFPR)

Prof. Dr. Neri Alves (UNESP)



MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DO PARANÁ
SETOR DE CIÊNCIAS EXATAS
CURSO DE PÓS-GRADUAÇÃO EM FÍSICA

Fone: (41) 3361-3096 Fax: (41) 3361-3418
E-mail: posgrad@fisica.ufpr.br

ATA DE DEFESA DE DISSERTAÇÃO DE MESTRADO

Estudo e Implementação de Transistor Orgânico Vertical de Efeito de
Campo com Eletrodo Intermediário Naturalmente Permeável

ALUNO

ADAN KVITSCHAL

Em sessão pública iniciada às quatorze horas do dia 04 de agosto de 2015,
após um seminário sob o título acima e posterior arguição, esta banca examinadora
decidiu APROVAR o candidato com o conceito global A.

Banca Examinadora

Assinatura

Conceito

Prof. Dr. Ivo Alexandre Hümmelgen
(UFPR)

A

Prof. Dr. Kleber Daum Machado
(UFPR)

A

Prof. Dr. Neri Alves (UNESP)

A

RESUMO

Este trabalho apresenta uma análise de modelos para o transistor vertical de efeito de campo com fonte permeável. Investiga-se também mecanismos de transporte eletrônico em superfícies metal-semicondutor. As análises são feitas com base em semicondutores de estado sólido e estendidas à eletrônica molecular com a inclusão de algumas considerações.

Em seguida são realizados experimentos para o controle da morfologia de um filme fino metálico em uma única etapa de evaporação térmica, a fim de obter permeabilidade à passagem de campos elétricos no sentido ortogonal sem perda de condutância no sentido planar. A morfologia é aferida através de microscopia de força atômica, sendo que os dados são correlacionados com medidas de resistência de folha.

Finalmente são realizados dois transistores com eletrodo intermediário permeabilizado através da técnica mencionada acima, porém com dois semicondutores moleculares diferentes, o fulereno e a ftalocianina de cobre. Os resultados obtidos revelam um comportamento ambipolar do dispositivo com ftalocianina como semicondutor, apresentando ganho de corrente, relação on/off e transcondutância relativamente altos em comparação a dispositivos orgânicos da literatura, além de tensões de operação abaixo de 5 V.

Palavras-Chave: Eletrônica Orgânica, Transistor Vertical de Efeito de Campo, Filme Fino, Ftalocianina, Ambipolar, Baixa Tensão, Eletrodo Permeável

ABSTRACT

In this work, an analysis of models for the vertical field effect transistor with permeable source electrode as well as basic charge transfer mechanisms in metal-semiconductor interfaces is presented. These analyses are made considering solid-state semiconductors and then extending the concept to molecular semiconductors with the introduction of some considerations.

Also, experiments concerning the morphology control of thin metal films in a single thermal evaporation step are realized, aiming the achievement of orthogonal electric field permeability without loss of in-plane conductivity. The morphology is analyzed by atomic force microscope imaging, and the data is correlated to sheet resistance measurements.

Finally, two transistors are realized using an intermediate electrode permeabilized through the techniques described above, however two different molecular semiconductor are utilized; fullerene and copper phthalocyanine. The results show an ambipolar behavior for the phthalocyanine device, with high current gain, on/off ratio and transconductance in comparison to other organic devices in the literature, as well as operating voltages below 5 V.

Keywords: Organic Electronics, Vertical Field Effect Transistor, Thin Film, Phthalocyanine, Ambipolar, Low Voltage, Permeable Electrode

LISTA DE FIGURAS

FIGURA 1 – FORMATO DOS ORBITAIS ATÔMICOS.....	14
FIGURA 2 – FORMAÇÃO DOS ORBITAIS LIGANTE E ANTI-LIGANTE.....	16
FIGURA 3 – EXEMPLOS DE SISTEMAS CONJUGADOS CÍCLICO E NÃO-CÍCLICO.....	17
FIGURA 4 – ILUSTRAÇÃO DA COMBINAÇÃO DE ORBITAIS π EM UM ANEL BENZÊNICO.....	17
FIGURA 5 – DENSIDADES DE NÍVEIS DE ENERGIA PARA OS CASOS MOLECULAR E CRISTALINO.....	19
FIGURA 6 – COMPONENTES DO CAPACITOR MOS.....	22
FIGURA 7 – VARIAÇÃO DAS CONDIÇÕES DE POLARIZAÇÃO DA INTERFACE.....	23
FIGURA 8 – ESQUEMA EM CORTE LATERAL DE UM MOSFET PLANAR CANAL 'N'.....	24
FIGURA 9: (A-C) DISTRIBUIÇÃO DE CARGAS NO CANAL EM DIFERENTES POLARIZAÇÕES DE DRENO. (D) COMPORTAMENTO ELÉTRICO IDEALIZADO DA CORRENTE DE DRENO.....	26
FIGURA 10 – MODELO DE PEQUENOS SINAIS.....	28
FIGURA 11 – ENERGIAS E BARREIRAS DE POTENCIAL ASSOCIADAS À INTERFACE METAL-SEMICONDUTOR.....	31
FIGURA 12 – ESQUEMA DO TRANSISTOR FET DE FONTE PERMEÁVEL....	34
FIGURA 13 – ILUSTRAÇÃO DA SEÇÃO TRANSVERSAL DA PERFURAÇÃO E CAMPOS INDUZIDOS PELOS POTENCIAIS DE DRENO E PORTA.....	36
FIGURA 14 - ESTRUTURA QUÍMICA DO PVA.....	38
FIGURA 15 – REPRESENTAÇÃO DOS ESTADOS INTERMEDIÁRIOS DE FORMAÇÃO DE UM FILME METÁLICO.....	41
FIGURA 16 – ESQUEMA SIMPLIFICADO DA EVAPORADORA.....	44
FIGURA 17 – TESTE RÁPIDO DE RESISTÊNCIA A DOIS TERMINAIS.....	46
FIGURA 18 – MORFOLOGIA DO FILME À DISTÂNCIA DE 7 cm.....	48
FIGURA 19 – DISTRIBUIÇÃO DE ALTURAS DAS IMAGENS DE AFM DAS AMOSTRAS À DISTÂNCIA DE 7 cm.....	48
FIGURA 20 - PERFIL AO LONGO DA AMOSTRA 4.....	49
FIGURA 21 – MORFOLOGIA DO FILME À DISTÂNCIA DE 10cm.....	50

FIGURA 22 – DISTRIBUIÇÃO DE ALTURAS DAS IMAGENS DE AFM DAS AMOSTRAS À DISTÂNCIA DE 10cm.....	50
FIGURA 23 - PERFIL AO LONGO DA AMOSTRA 2.....	51
FIGURA 24 – MORFOLOGIA DO FILME À DISTANCIA DE 16cm.....	52
FIGURA 25 – DISTRIBUIÇÃO DE ALTURAS DAS IMAGENS DE AFM DAS AMOSTRAS À DISTÂNCIA DE 16cm.....	53
FIGURA 26 - PERFIL AO LONGO DA AMOSTRA 2.....	53
FIGURA 27 – ESTRUTURA DA MOLÉCULA DE C60 E DA MOLÉCULA DE CuPc.....	55
FIGURA 28 – SEQUÊNCIA DE FABRICAÇÃO DA AMOSTRA.....	57
FIGURA 29 – DIAGRAMA DE NÍVEIS ENERGÉTICOS DO DISPOSITIVO COM FONTE EM ESTANHO E CANAL EM C60.....	58
FIGURA 30 – PERFIL I-V DE SAÍDA NO PRIMEIRO QUADRANTE PARA O VOFET COM CANAL EM FULERENO:.....	60
FIGURA 31 - DIAGRAMA DE NÍVEIS ENERGÉTICOS DO DISPOSITIVO COM COBERTURA DE OURO NO ELETRODO DE FONTE.....	61
FIGURA 32 – MORFOLOGIA DO FILME DE ESTANHO COM COBERTURA DE 10 nm DE OURO E DENSIDADE DE ALTURAS CORRESPONDENTE.....	62
FIGURA 33 – DIAGRAMA DE NÍVEIS ENERGÉTICOS DO DISPOSITIVO CONSTRUÍDO COM CuPc.....	63
FIGURA 34 – CARACTERÍSTICA I-V DE SAÍDA DO FET CuPc NO TERCEIRO QUADRANTE.....	64
FIGURA 35 – CARACTERÍSTICA I-V DE SAÍDA DO FET CuPc NO PRIMEIRO QUADRANTE.....	65
FIGURA 36. CARACTERÍSTICAS I-V DE TRANSFERÊNCIA E ENTRADA NO TERCEIRO QUADRANTE COM VGS=-5 V.....	67
FIGURA 37 – TRANSCONDUTÂNCIA CALCULADA EM VGS=-5 V.....	68
FIGURA 38 – HISTERESE DO FET CuPc NO TERCEIRO QUADRANTE.....	69

LISTA DE TABELAS

TABELA 1 – LIMIARES DE CONDUÇÃO PARA DIFERENTES CONDIÇÕES DE EVAPORAÇÃO.....	46
TABELA 2 – CARACTERÍSTICAS DAS AMOSTRAS DA SÉRIE 1.....	47
TABELA 3 – CARACTERÍSTICAS DAS AMOSTRAS DA SÉRIE 2.....	49
TABELA 4 – CARACTERÍSTICAS DAS AMOSTRAS DA SÉRIE 3.....	51
TABELA 5 – PARÂMETROS DE FITTING DOS DADOS EXPERIMENTAIS....	65
TABELA 6 – MEDIDAS DE CAPACITÂNCIA ENTRE OS TERMINAIS DO TRANSISTOR.....	66

LISTA DE SIGLAS

MO	Orbital Molecular, do inglês, <i>Molecular Orbital</i>
LUMO	Orbital Molecular Não-Ocupado Mais Baixo, do inglês, <i>Lowest Unnoccupied Molecular Orbital</i>
HOMO	Mais Alto Orbital Molecular Ocupado, do inglês, <i>Highest Occupied Molecular Orbital</i>
MOS	Metal-Óxido-Semicondutor
FET	Transistor de Efeito de Campo, do inglês, <i>Field Effect Transistor</i>
TFT	Transistor de Filme Fino, do inglês, <i>Thin Film Transistor</i>
LED	Diodo Emissor de Luz, do inglês, <i>Light Emitting Diode</i>
AFM	Microscópio de Força Atômica, do inglês, <i>Atomic Force Microscope</i>
I-V	Corrente por Tensão
ASIC	Circuito Integrado de Aplicação Específica, do inglês, <i>Application Specific Integrated Circuit</i>
VOFET	Transistor Orgânico Vertical de Efeito de Campo, do inglês, <i>Vertical Organic Field Effect Transistor</i>
V_G	Potencial de porta (do inglês, <i>Gate Voltage</i>)
V_D	Potencial de dreno (do inglês, <i>Drain Voltage</i>)
V_S	Potencial de fonte (do inglês, <i>Source Voltage</i>)
V_B	Potencial de volume (do inglês, <i>Bulk Voltage</i>)
V_T	Potencial de limiar (do inglês, <i>Threshold Voltage</i>)
V_P	Potencial de pinçamento (do inglês, <i>Pinch-off Voltage</i>)

SUMÁRIO

1 INTRODUÇÃO	11
2 FUNDAMENTAÇÃO E REVISÃO BIBLIOGRÁFICA	21
2.1 CAPACITOR METAL-ÓXIDO-SEMICONDUTOR (MOS)	21
2.2 TRANSISTOR DE EFEITO DE CAMPO (FET) PLANAR	24
2.3 MODELO DE PEQUENOS SINAIS	27
2.4 RESISTÊNCIA DE CONTATO	30
2.5 TRANSISTOR FET VERTICAL	33
2.6. ISOLANTE DE PORTA	37
3 ESTUDO DO ELETRODO PERMEÁVEL	40
3.1 ANÁLISE	40
3.2 PROCEDIMENTO EXPERIMENTAL	42
3.2.1 Substrato	42
3.2.2 Evaporação	43
3.3 IMAGENS DE MICROSCOPIA DE FORÇA ATÔMICA	47
3.3.1 Série 1 – Distância de 7 cm	47
3.3.2 Série 2 – Distância de 10 cm	49
3.3.3 Série 3 – Distância de 16 cm	51
4 ESTUDO DO DISPOSITIVO	55
4.1 PROCEDIMENTO EXPERIMENTAL	56
4.2 ANÁLISE E MEDIDAS ELÉTRICAS	58
4.2.1 Dispositivos com C60 como semicondutor	58
4.2.2 Tratamento do eletrodo	61
4.2.3 Dispositivos com CuPc como semicondutor	63
4.2.3.1 Característica de Saída	64
4.2.3.2 Capacitâncias	66
4.2.3.3 Característica de Transferência	67
4.2.3.4 Histerese de Transferência	68
5 CONCLUSÕES	70
REFERÊNCIAS	72
APÊNDICES	75

1 INTRODUÇÃO

Grande parte dos avanços obtidos pela humanidade nas últimas décadas tem forte relação com a tecnologia da informação, que é fundamentalmente baseada em dispositivos eletrônicos como o transistor. Diversos avanços científicos e industriais também só foram possíveis pelo controle sobre processos na escala de nanosegundos, que é proporcionado por processadores operando em frequências de vários gigahertz.

O estado atual da eletrônica só foi atingido com a obtenção de circuitos integrados de boa qualidade, capazes de agrupar milhares de dispositivos interconectados em um único cristal de silício de dimensões milimétricas. A invenção dos circuitos integrados ocorreu ao longo dos anos de 1950 a 1960. Os primeiros trabalhos e técnicas foram reportados por Hoerni, Lehovec, Noyce e Kilby, que contribuíram com diferentes partes do desenvolvimento, porém somente ao último foi atribuído o Prêmio Nobel de Física de 2000 pela invenção dos circuitos integrados.

O avanço porém parece ter atingido um limite fundamental, à medida que as dimensões dos dispositivos se aproximam do nível atômico. A famosa “Lei de Moore” [1] estabelece que o número de transistores compondo funções digitais que a indústria é capaz de integrar em um único dispositivo duplica a cada dois anos, essa medida vinha obtendo uma coerência surpreendente com o avanço tecnológico nos processos de fabricação, porém não está mais sendo alcançada.

Na eletrônica do silício comercial, o dispositivo que compõe a quase totalidade dos circuitos digitais e analógicos integrados é o transistor de efeito de campo planar com dióxido de silício como isolante do eletrodo de porta, do inglês *Metal-Oxide-Semiconductor Field-Effect Transistor* (MOSFET). A construção desse dispositivo se baseia em técnicas avançadas de litografia, implantação de íons e crescimento de semicondutores monocristalinos, o que eleva o custo de fabricação de um único lote para algumas dezenas de milhares de dólares (2015). Este custo é contrabalanceado com a redução da área total dos circuitos integrados, resultando em milhares de unidades por rodada ou até dezenas de milhares, o que traz o custo unitário a valores da ordem de alguns dólares.

A complexidade dos processos de fabricação associada principalmente a custos e treinamento de pessoal dificulta a instalação de novas fábricas de semicondutores integrados (frequentemente referidas pelo termo inglês *Foundries*), de tal forma que o único esforço na América Latina para instalação de um processo moderno de fabricação em tecnologias medianas (CEITEC) tarda a entrar em funcionamento. Na ausência de uma indústria nacional de semicondutores, países em desenvolvimento como o Brasil recorrem à importação de grande volume de equipamentos e componentes eletrônicos.

Além dos obstáculos econômicos, os tempos entre projeto, fabricação, testes e correções de novos circuitos integrados são elevados, geralmente na ordem de alguns meses. Para evitar este longo e custoso ciclo de desenvolvimento, o projeto de novos circuitos para aplicações específicas (sigla inglesa ASICs, *Application Specific Integrated Circuits*) é evitado, sendo preferida a aplicação de soluções comerciais encapsuladas já estabelecidas no mercado a algum tempo, muitas vezes por décadas, nem sempre representando uma solução ótima do ponto de vista tecnológico. Essa inércia no processo dificulta a implantação de soluções em problemas mais simples encontrados em indústrias, veículos e residências que frequentemente requerem circuitos de mais baixo desempenho comumente referidos pelo termo em inglês *low-end*.

Ao levarmos em conta a complexidade dos processos envolvidos na fabricação de dispositivos semicondutores cristalinos, torna-se interessante o estudo de alternativas baseadas em materiais e processos mais acessíveis.

O uso de moléculas orgânicas é uma das alternativas que passou a ser intensamente estudada nas últimas décadas, apesar de os primeiros trabalhos serem muito anteriores. O número de publicações na área vem aumentando desde a descoberta dos polímeros condutores em 1977 por Alan J. Heeger, Alan MacDiarmid and Hideki Shirakawa, trabalho que resultou no Prêmio Nobel de Química de 2000. Com o uso desses materiais, inúmeros trabalhos tentam produzir dispositivos eletrônicos similares àqueles bem estabelecidos na eletrônica do silício para possibilitar uma nova eletrônica de baixo custo, flexível, usando solventes não-tóxicos entre outras vantagens, através de técnicas de processamento em grande área [2], [3]. Além do uso destes polímeros e moléculas menores na construção de

transistores, várias outras aplicações têm assumido grande importância nos trabalhos científicos e tecnológicos atualmente, por exemplo em células fotovoltaicas, diodos emissores de luz, displays flexíveis e sensores.

O mecanismo de transporte de carga nos materiais moleculares é diferente daquele observado em metais e semicondutores como silício e germânio. Nos materiais cristalinos, temos uma estrutura de bandas contínuas de energia, em que se pode descrever o transporte de elétrons na banda de condução e lacunas na banda de valência em função da física estatística como se fossem um gás confinado a uma caixa. Os níveis energéticos dentro destas bandas estão associados a estados altamente delocalizados formados pela superposição de um número indefinidamente grande de orbitais moleculares (MO).

A formação de orbitais moleculares se dá a partir da combinação de orbitais atômicos, e representa o mecanismo pelo qual as ligações químicas são formadas. Os orbitais atômicos são uma representação das funções de onda dos elétrons ligados ao núcleo atômico, sendo que seus formatos representam a região em que há maior probabilidade de encontrarmos a partícula. Podemos obter essas regiões através da solução da equação de Schroedinger para o potencial de interação entre as partículas e calculando o valor de $|\psi^2|$, que está associado a à densidade de probabilidade mencionada [4]. A característica espacial de $|\psi^2|$ associada aos quatro primeiros tipos de orbitais atômicos (s, p, d e f) é vista na FIGURA 1, onde estão classificados em função de números quânticos associados à energia e momento angular.

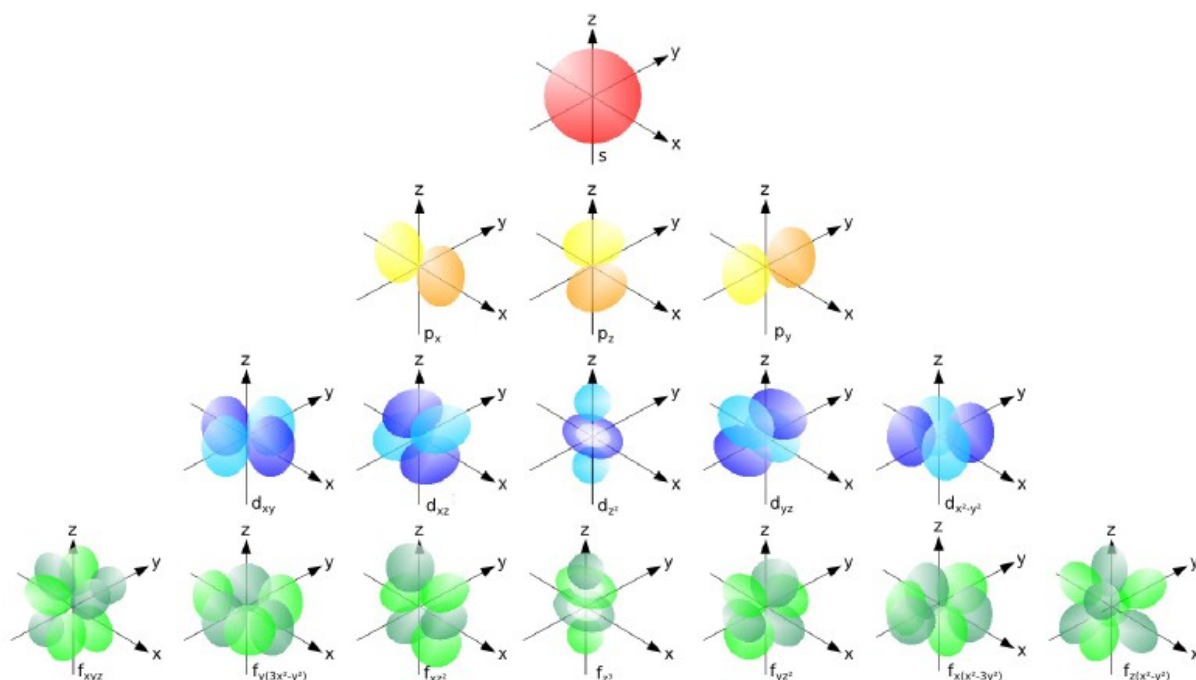


FIGURA 1 – FORMATO DOS ORBITAIS ATÔMICOS denominados s, p, d e f, também referidos pelos números de 0 a 3, respectivamente. Fonte: wikipedia.org

Os dois primeiros orbitais mostrados são os mais importantes para estudo de condutores moleculares, pois compõem a maior parte das ligações químicas nestes materiais. Isso é uma consequência do fato de que estes materiais são majoritariamente compostos por átomos de carbono, que possuem apenas orbitais 's' e 'p' em sua estrutura atômica.

Na estrutura final de níveis de energia da molécula, são definidos dois orbitais chamados de orbitais de fronteira. Um destes orbitais representa o mais alto nível de energia ainda ocupado por elétrons no estado fundamental da molécula. Referimo-nos a este orbital pela sigla HOMO, do inglês *Highest Occupied Molecular Orbital*. O próximo nível de energia também é importante, por ser o orbital de mais baixa energia não ocupado e, portanto, mais acessível para a promoção de elétrons a partir dos orbitais de energias mais baixas. Referimo-nos a esse orbital pela sigla LUMO, do inglês *Lowest Unnoccupied Molecular Orbital*.

Os orbitais de fronteira definem grande parte das propriedades eletrônicas e óticas da molécula, apresentando uma característica muito similar às bandas observadas em materiais cristalinos. Apesar de existirem diversos outros níveis energéticos acessíveis e ocupados, podemos simplificar muito as análises

assumindo somente a presença destes dois orbitais moleculares e de um elétron capaz de se deslocar entre os dois níveis.

As combinações de orbitais atômicos 's' e 'p' produzem orbitais moleculares que são geralmente separados em ligações σ (letra grega sigma) e π (letra grega pi), baseado na distribuição espacial da densidade probabilidade. A ligação σ tem similaridade com o orbital 's', com a maior densidade de probabilidade se concentrando no eixo entre os dois átomos. A ligação π , tem similaridade com o orbital 'p', de tal forma que a densidade de probabilidade se concentra paralelamente ao eixo.

A combinação de orbitais atômicos em pares produz dois novos orbitais, chamados de ligante e anti-ligante, que possuem distribuições espaciais da densidade de probabilidade e energias diferentes, conforme mostrado na FIGURA 2. A ligação química é associada ao orbital ligante, que possui um nível de energia menos elevado, e portanto mais estável. O orbital anti-ligante (marcado pelo asterisco) possui um nível de energia mais elevada que o nível atômico, em geral permanecendo desocupado no estado fundamental da molécula. Os elétrons presentes nos orbitais atômicos passam a popular o orbital ligante, obedecendo ao princípio de exclusão de Pauli. Essa situação permanece estável até que algum fenômeno, como a interação com um fóton, conceda energia suficiente ao elétron para promovê-lo a outro orbital molecular ou até mesmo removê-lo da molécula.

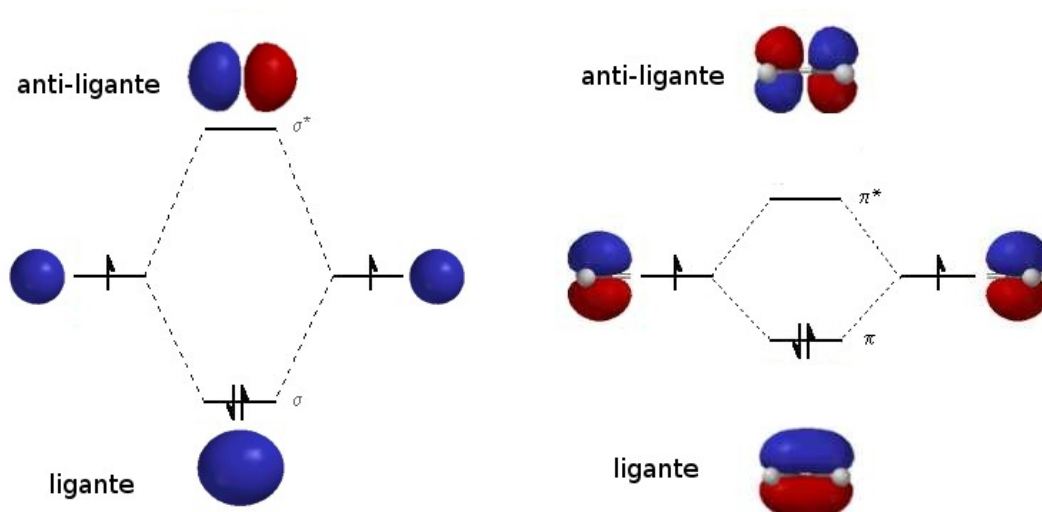


FIGURA 2 – FORMAÇÃO DOS ORBITAIS LIGANTE E ANTI-LIGANTE. Esquerda: Formação dos orbitais σ e σ^* a partir de orbitais 's'. Direita: Formação dos orbitais π e π^* a partir de orbitais 'p'. As setas representam o spin do elétron, sendo que cada nível tem degeneração dupla. Observar que o desdobramento de energia é menor para os orbitais π . Fonte: wikipedia.org

As ligações σ são as mais fortes, o que é um reflexo da maior superposição dos orbitais atômicos e consequente maior separação energética entre o nível do orbital atômico original e o nível do orbital ligante. Sua característica simétrica permite uma rotação livre da molécula em torno da ligação. As ligações π geralmente se formam após a formação de uma ligação σ , daí o fato de estarem associadas às ligações duplas. Como o orbital π não apresenta simetria axial, a rotação da molécula em torno do eixo de ligação não é livre, sendo necessária a quebra da ligação. Estas ligações são mais fracas que as ligações σ , pois apresentam menor separação energética, porém são muito mais importantes do ponto de vista das propriedades de transporte eletrônico e óticas no visível da molécula.

A importância das ligações π vem do fato de elas comporem os chamados sistemas π -conjugados, que são caracterizados pela alternância de ligações simples e duplas em longas cadeias atômicas. Exemplos desses sistemas são anéis benzênicos, tiofenos e algumas cadeias lineares de carbonos, representados na FIGURA 3. Uma leitura introdutória abordando estas estruturas está disponível em [5].

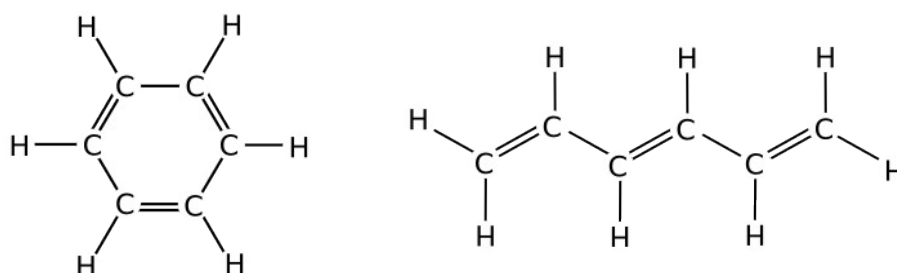


FIGURA 3 – EXEMPLOS DE SISTEMAS CONJUGADOS CÍCLICO E NÃO-CÍCLICO.

Nos sistemas π -conjugados existe uma região de sobreposição entre ligações π adjacentes, de tal forma que os elétrons que populam estes orbitais não pertencem somente a uma ligação, mas a um grupo de átomos (FIGURA 4). A presença de conjugação π permite a um único elétron ser compartilhado entre todos os átomos que compõem o sistema, alternando a sequência de ligações simples e duplas, esses elétrons são geralmente denominados elétrons π . A delocalização do elétron implica em uma maior mobilidade de carga no material quando sujeito a um campo elétrico. Diversos modelos [6], [7] existem para tentar descrever o transporte de cargas nesses materiais, porém seus detalhes estão além do escopo desse trabalho.

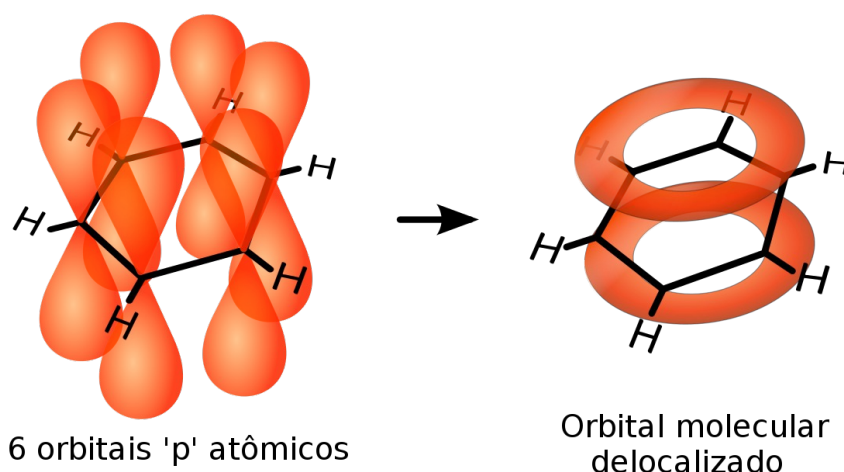


FIGURA 4 – ILUSTRAÇÃO DA COMBINAÇÃO DE ORBITAIS π EM UM ANEL BENZÊNICO. Fonte: wikipedia.org

Quanto mais longa a cadeia conjugada, maior a região que o elétron pode se deslocar sem se desligar da molécula quebrando suas ligações químicas. Em face

disso, a maximização da extensão da cadeia conjugada é um dos métodos para obtenção de um condutor molecular, o que pode ser obtido com o uso de polímeros condutores.

Um polímero é uma macromolécula formada por uma sequência de várias (dezenas a milhares) unidades de repetição chamadas meros, interligadas por ligações covalentes. A formação de uma cadeia atômica longa é útil para criação de moléculas com propriedades únicas, tanto mecânicas quanto eletrônicas.

A formação dessas cadeias, chamada polimerização, geralmente se dá em solução. Alguns processos incluem aplicação de potenciais elétricos, nesse caso usa-se o termo eletropolimerização. Essa condição é interessante para eletrônica em grande área, já que o processo é simples em comparação aos processos necessários para deposição de outros materiais condutores.

Conforme mencionado anteriormente, a delocalização elevada garante que um portador de carga possa se deslocar facilmente pela estrutura da molécula, porém o transporte de carga no material depende também da facilidade com que um portador pode saltar entre diferentes moléculas. Esse salto depende da distância entre sítios de alta mobilidade presentes em moléculas diferentes, além de outros fatores associados ao acoplamento dos estados quânticos de origem e destino. O aumento do acoplamento entre moléculas pode ser obtido com o uso de moléculas planares ou que possuam uma tendência a uma conformação favorável entre moléculas vizinhas, possivelmente produzindo um material semicristalino. Em casos nos quais o acoplamento é muito elevado, mesmo moléculas pequenas com sistemas conjugados de dimensões menores podem ser usadas como materiais condutores ou semicondutores. Essa situação é interessante devido ao fato de que estes materiais, ao contrário dos polímeros, são compatíveis com o uso de evaporação térmica para formação de filmes finos [8], uma técnica viável para produção em grande escala.

Como as interações entre moléculas deslocam seus níveis energéticos de maneiras aleatórias, observamos no volume do material um espalhamento das energias dos orbitais moleculares em torno dos valores previstos para moléculas isoladas. Quando estas interações são descorrelacionadas, podemos assumir uma distribuição gaussiana, sendo que o alargamento da distribuição de estados está

associada a uma maior desordem na estrutura do material. A FIGURA 5 mostra as densidades de estados idealizadas para materiais moleculares em comparação aos materiais cristalinos.

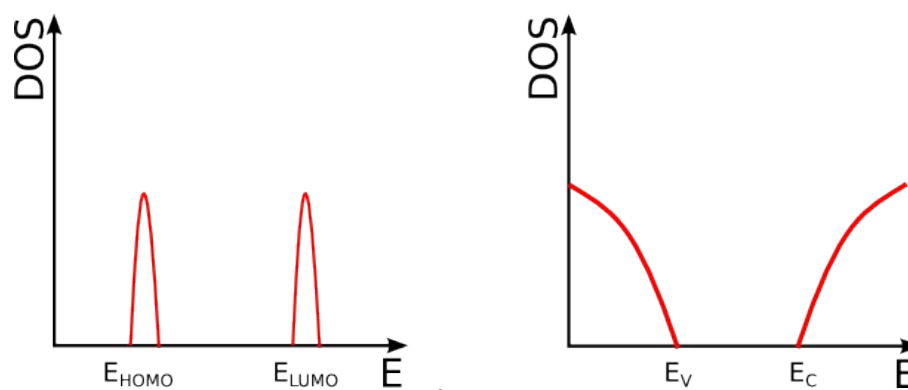


FIGURA 5 – DENSIDADES DE NÍVEIS DE ENERGIA PARA OS CASOS MOLECULAR E CRISTALINO. Esquerda: Caso molecular, distribuição gaussiana associada ao espalhamento dos níveis energéticos de orbitais moleculares. Direita: Caso cristalino, bandas contínuas, com a densidade aumentando proporcionalmente com a raiz quadrada da energia.

Esta estrutura energética diferenciada pode implicar na não-validade dos modelos de transporte bem estabelecidos para materiais cristalinos, onde podemos descrever densidades de correntes em função de fenômenos de difusão e de arrasto dos portadores sujeitos a um campo elétrico. É possível, porém, traçar alguns análogos para o transporte entre moléculas, que acabam apresentando bastante similaridade com os resultados clássicos da eletrônica em materiais cristalinos.

Outra diferença de grande importância ocorre no controle das densidades de portadores através de dopagem com impurezas doadoras ou aceitadoras, técnica comumente usada na eletrônica do silício. A dopagem de polímeros pode ser feita por reações de redução e oxidação, porém frequentemente é evitada por implicar na piora de outras características associadas ao transporte eletrônico no material. É importante observar que a dopagem também pode surgir de efeitos colaterais como a presença de defeitos e impurezas provenientes de solventes ou do próprio ar atmosférico. Portanto, materiais que apresentam esse tipo de susceptibilidade podem apresentar um caráter 'p' ou 'n' quando expostos a condições diferentes. Frequentemente é feita a distinção entre semicondutores moleculares tipo 'p' e 'n' por critérios diferenciados. Por exemplo, podemos classificar os materiais em função

dos valores das mobilidades para elétrons e lacunas, que diferentemente dos semicondutores cristalinos, podem diferir por ordens de grandeza.

Apesar das vantagens associadas ao uso de materiais moleculares, inúmeras dificuldades precisam ser vencidas para viabilizar sua aplicação prática na indústria. Materiais como o silício monocristalino apresentam mobilidades de elétrons e lacunas da ordem de $10^3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, porém os semicondutores orgânicos mais acessíveis apresentam valores várias ordens de grandeza abaixo. Os valores típicos para mobilidades de portadores em materiais moleculares estão em uma faixa de $10^{-5} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ a $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, porém não há um parâmetro estabelecido, já que diversos avanços vem sendo obtidos na melhoria desses valores. Estas limitações geralmente estão associadas à presença de desordem e armadilhas eletrônicas na estrutura do material, sendo que trabalhos mais recentes apresentam mobilidades mais altas [9] usando métodos para alinhamento das cadeias poliméricas. Com a ordenação destas cadeias, é possível obter mobilidades da ordem de $50 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$.

Nessas condições, os transistores orgânicos atuais dificilmente competem com suas contrapartes inorgânicas. Os valores de correntes elétricas, capacidade de modulação, ganhos de corrente e tensão, frequência de operação, entre outras características, geralmente ficam várias ordens de grandeza abaixo daqueles obtidos em silício. Em face disso, se faz necessário um estudo fundamental dos fenômenos de transporte que leve à descoberta de novas estruturas e técnicas capazes de contornar as deficiências destes materiais.

2 FUNDAMENTAÇÃO E REVISÃO BIBLIOGRÁFICA

Existem, na literatura, diversos trabalhos em que a modelagem de transistores baseados em semicondutores monocristalinos é abordada em detalhes. Como os fenômenos associados a este dispositivo são bem conhecidos, é comum o uso destes modelos aos dispositivos construídos com materiais moleculares. Apesar dessa abordagem ser questionável do ponto de vista fundamental, os resultados obtidos têm estabelecido parâmetros para os avanços na área.

Do ponto de vista de aplicação, é de extrema importância a modelagem sintética dos fenômenos principais que ocorrem em qualquer dispositivo eletrônico, já que a construção de circuitos complexos a partir destes dispositivos se baseia em aproximações válidas em regiões de operação bem definidas. Em outras palavras, os modelos simplificados estabelecem uma linguagem para a comunicação entre o desenvolvimento de dispositivos e o desenvolvimento de circuitos eletrônicos baseados nestes dispositivos. Isso dito, espera-se motivar o leitor a atentar a algumas análises feitas nesse capítulo, que se aplicam à modelagem de dispositivos eletrônicos em geral.

Podemos descrever o funcionamento dos transistores de efeito de campo (FETs) e outros dispositivos eletrônicos construídos com materiais semicondutores em função de algumas estruturas simples como as junções retificadoras e o capacitor metal-semicondutor, que serão abordados de uma maneira sucinta a seguir. Ao final, é feito um estudo do dispositivo proposto para estudo nos capítulos seguintes, com base em alguns resultados de autores anteriores.

2.1 CAPACITOR METAL-ÓXIDO-SEMICONDUTOR (MOS)

O funcionamento dos transistores de efeito de campo geralmente está associados à estrutura de série de capacitores que se forma entre um eletrodo condutor e um meio semicondutor. O nome do dispositivo vem do efeito do campo

elétrico sobre as cargas na superfície do semicondutor mesmo sem a existência de contato elétrico. A estrutura mais comum é o capacitor MOS (do inglês, *Metal-Oxide-Semiconductor*), onde o isolamento elétrico entre o metal e o semicondutor é obtido a partir da produção de uma fina camada de óxido a partir do próprio semicondutor. O esquema em corte dessa estrutura é visto na FIGURA 6.

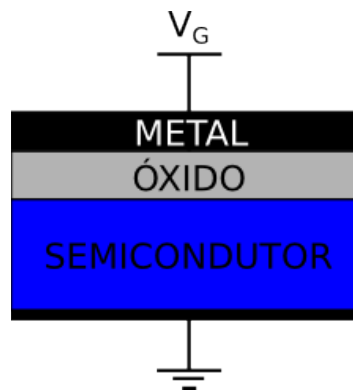


FIGURA 6 – COMPONENTES DO CAPACITOR MOS.

Assumindo que a espessura do filme isolante é muito pequena em comparação às dimensões no plano, podemos considerar o caso simplificado de placas paralelas, com o contato de porta como um condutor ideal e o óxido de porta como um isolante ideal e isotrópico. Campos elétricos produzidos pelas cargas acumuladas no eletrodo de porta serão rapidamente atenuados à medida que penetram no semicondutor, devido às cargas livres presentes no material. Essa profundidade de penetração dos campos é, em geral, da ordem de alguns micrometros, considerando os parâmetros comuns da eletrônica do silício.

Assumindo a neutralidade no volume do semicondutor, o número de cargas induzido na superfície do metal deve ser compensado pelo mesmo número de cargas com sinal oposto induzido na região de penetração do campo na interface entre isolante e semicondutor. A comparação da densidade de cargas induzidas com a densidade de portadores de carga no semicondutor neutro permite separar as situações do canal em três, conforme a representação da FIGURA 7.

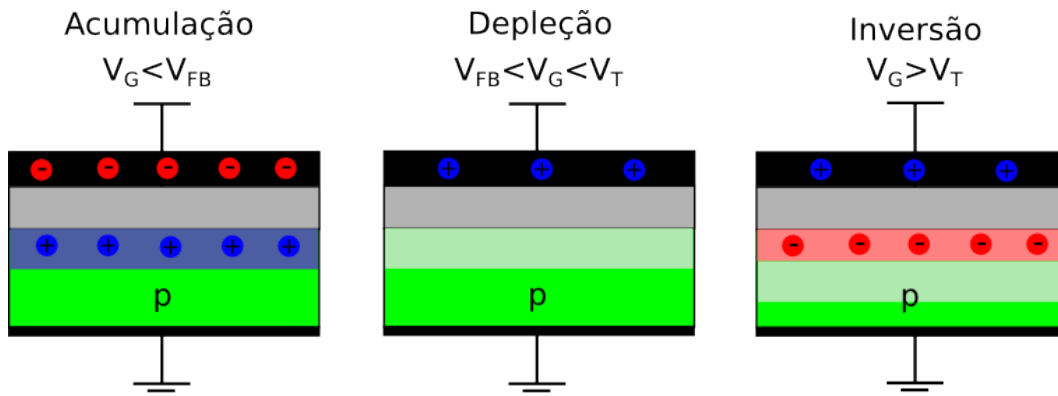


FIGURA 7 – VARIAÇÃO DAS CONDIÇÕES DE POLARIZAÇÃO DA INTERFACE. Exemplo para um semicondutor tipo 'p', onde V_{FB} é o potencial de equilíbrio entre os materiais de porta e semicondutor e V_T é o mínimo potencial de porta para iniciar a inversão do semicondutor.

Considerando o tipo do material, dizemos que ocorre acumulação quando o potencial atrai mais portadores majoritários, depleção quando o número de portadores majoritários se aproxima do número de minoritários e inversão quando os portadores majoritários são suplantados pelos portadores minoritários. A maioria dos FETs comerciais operam em inversão, porém a região de acumulação é de interesse para muitos dispositivos em eletrônica molecular devido às assimetrias nos valores de mobilidades de portadores nos semicondutores disponíveis.

Com o aumento da densidade de cargas livres na interface, considera-se que um canal condutor é formado nessa região. A variação do potencial aplicado permite modular a quantidade de cargas disponíveis na superfície, fazendo o canal mais ou menos condutor e possibilitando então a criação de um dispositivo transcondutor. O número de cargas induzidas é uma função relativamente complexa das características do semicondutor e do isolante. Na condição de inversão, acima de um potencial de limiar V_T , a densidade pode ser considerada função linear do potencial aplicado, com uma constante de proporcionalidade C_i dada pela capacitância do isolante, nesse caso, do óxido. Assim, pode-se escrever:

$$Q_{inv} = C_i (V_G - V_T) \quad (1)$$

Uma das conclusões mais importantes obtidas da equação (1) é que as características de capacitância do isolante de porta afetam linearmente a modulação de cargas no canal formado no semicondutor. Essa capacitância pode ser estimada

pelo modelo de placas paralelas, sendo proporcional à constante dielétrica do isolante, à área de sobreposição do eletrodo e do semiconductor e inversamente proporcional à espessura do isolante.

2.2 TRANSISTOR DE EFEITO DE CAMPO (FET) PLANAR

Com a adição de contatos laterais na estrutura do capacitor MOS, podemos usar o canal de cargas induzidas para conduzir correntes no sentido lateral. Essa estrutura caracteriza o dispositivo conhecido como transistor de efeito de campo em arquitetura planar, visto na FIGURA 8. Os contatos adicionais são denominados dreno (ligado ao potencial V_D) e fonte (ligado ao potencial V_S), e são constituídos por uma região de dopagem inversa ao substrato. Esta dopagem inversa proporciona uma condutância extremamente baixa entre os dois terminais quando não há inversão do canal.

A neutralidade do substrato é mantida pelo contato de volume (ligado ao potencial V_B). No caso do dispositivo de canal 'n', o contato de volume é mantido geralmente a um potencial inferior aos demais e no caso do dispositivo de canal 'p' é mantido a um potencial mais elevado. Essa configuração garante a inversão das junções p-n existentes entre o volume e os contatos de dreno e fonte, evitando a circulação indesejável de correntes nessa região.

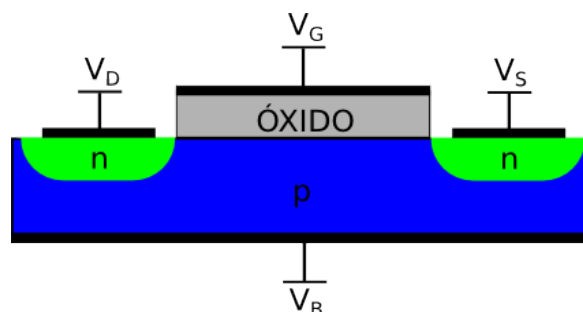


FIGURA 8 – ESQUEMA EM CORTE LATERAL DE UM MOSFET PLANAR CANAL 'N'.

É feita a distinção entre diferentes regiões de operação em função dos potenciais aplicados ao dreno e porta do dispositivo. Quando o potencial de porta

está abaixo de um certo valor de limiar, ao qual denominamos V_T , diz-se que o dispositivo está na região sub-limiar, em que a condutância do canal é baixa devido à pequena densidade de cargas livres no trajeto entre os terminais de fonte e dreno.

Com um potencial de porta acima desse limiar, podemos ter duas situações em relação ao potencial de dreno; o regime linear e o regime de saturação. Com a aplicação de diferença de potencial aos contatos laterais, surge um campo elétrico no sentido planar. Naturalmente, o campo elétrico planar aplicado tende a reorientar os portadores e induzir o maior acúmulo em um dos lados do dispositivo em detrimento da redução de portadores de carga no lado oposto. A partir de um certo potencial, ao qual denominamos V_P , a falta de portadores em um dos lados do canal começa a limitar a corrente devido à alta resistência da região de depleção, essa condição é conhecida pelo termo inglês *pinch-off*, devido à noção de pinçamento do canal condutor.

Abaixo desse potencial de dreno, temos o regime linear (também chamado regime ômico), em que a corrente do canal depende tanto dos potenciais de porta quanto de dreno de acordo com a equação:

$$I_D = \frac{W}{L} \mu C_i (V_G - V_T) V_D, \quad (2)$$

onde W é a largura do canal, L o comprimento, μ_m é a mobilidade dos portadores majoritários – nesse caso elétrons, e C_i é a capacitância por unidade de área do óxido isolante.

Para um potencial de dreno acima de V_P , dizemos que a corrente de canal do dispositivo atinge saturação (diz-se também que o dispositivo opera na região ativa). Nessa situação, a corrente pode ser considerada função somente do potencial de porta, temperatura e características do dispositivo, podendo ser descrita pela equação:

$$I_{Dsat} = \frac{W}{L} m \mu_m C_i (V_G - V_T)^2, \quad (3)$$

onde m é uma função da densidade de dopantes, próximo de $1/2$ para baixas

dopagens. É importante notar que esta equação desconsidera diversos efeitos que deixam de ter importância na região de saturação, como modulação da largura de canal, variação da mobilidade em função do campo, entre outros. Portanto medidas experimentais obtidas em regime linear não podem ser comparadas com esse resultado.

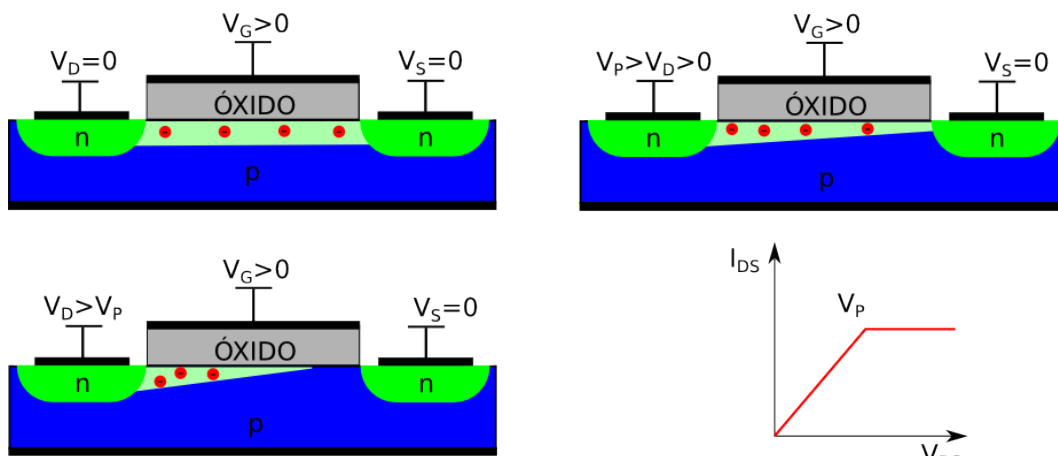


FIGURA 9: (A-C) DISTRIBUIÇÃO DE CARGAS NO CANAL EM DIFERENTES POLARIZAÇÕES DE DRENO. (D) COMPORTAMENTO ELÉTRICO IDEALIZADO DA CORRENTE DE DRENO.

Essa abordagem em diferentes regiões de operação é útil para a aplicação e análise simplificada das propriedades do dispositivo, porém um modelo completo é necessário para descrever o comportamento do dispositivo nas regiões intermediárias. Estudos mais elaborados podem ser vistos em [10], [11].

A maior partes dos transistores orgânicos [12] descritos na literatura se baseiam na arquitetura planar, algumas vezes com a adição de isolantes ou semicondutores inorgânicos, nas chamadas estruturas híbridas. Na maioria dos casos, os dispositivos sofrem de severas limitações relativas à frequência de operação ou necessitam altas diferenças de potencial elétrico para entrar em funcionamento. Boa parte das dificuldades está associada ao transporte de cargas próximo à interface entre o semiconductor e o isolante, sendo que diversas abordagens vêm sendo tomadas para combater a formação de defeitos nessa região, geralmente resultando em ganhos menores que uma ordem de grandeza [13].

Um detalhe importante é que nos transistores de filme fino (TFTs) em geral, o

contato de volume não é acessível, já que na verdade não há um volume que pode ser considerado neutro. Isso pode implicar em uma perda de simetria, já que os potenciais precisam ser referidos ao contato de fonte.

2.3 MODELO DE PEQUENOS SINAIS

Conforme mencionado no início do capítulo, a modelagem de dispositivos eletrônicos é feita em função de modos de operação, sendo que em cada caso, características diferentes do dispositivo são ressaltadas. O desenvolvimento de transistores deve, portanto, ter em vista a maximização dos parâmetros destes modelos; daí a importância do seu conhecimento não somente pelos projetistas de circuitos, mas também por aqueles que desenvolvem os dispositivos.

Frequentemente os transistores podem ser aplicados em dois modos de operação, chaveado ou linear. Em cada modo, podemos considerar certas aproximações para o seu comportamento elétrico a fim de facilitar a análise de circuitos maiores. Existem outras formas de utilização dos transistores para fins específicos, como sensoreamento, geração de referências, memórias e etc. que não necessariamente se encaixam nessas aproximações.

O modo mais simples é o modo chaveado, em que consideramos que existem duas situações de polarização elétrica no dispositivo, uma em que a tensão de porta forma o canal de condução e altas correntes podem circular entre dreno e fonte e outra em que o canal é desfeito e o dispositivo passa a apresentar alta resistência entre estes dois terminais. Nesse modo de operação, nos importa somente saber qual a razão entre as correntes de canal nos dois estados e quais são os limites de potências que o dispositivo pode dissipar sem sofrer degradação. Esse modo é aplicado em lógica digital, conversão de potência, acionamento de máquinas, entre outros.

O modo linear é aplicado em circuitos amplificadores de sinais, reguladores, sensores e outros. Nesse modo de operação, existe uma corrente quiescente que circula continuamente no dispositivo, bem como valores base para as tensões de

dreno e porta, chamados de polarização do dispositivo. A aplicação de pequenas oscilações em torno desses valores de polarização produzem resposta nos outros terminais que podem estar amplificadas em várias ordens de grandeza, filtradas em frequência, somadas a outros sinais, etc..

Para essas análises em termos de funções de transferência lineares, usamos modelos de pequenos sinais, que levam em conta as derivadas das correntes e tensões em torno do ponto de polarização, bem como efeitos capacitivos e indutivos parasitários para uma análise em termos de circuitos elétricos idealizados. Em síntese, podemos dizer que se trata de uma análise de perturbação em primeira ordem em torno do ponto de polarização. Esta abordagem só tem validade para sinais de pequenas amplitudes, porém, é bastante utilizada e apresenta resultados bastante precisos na maioria dos casos.

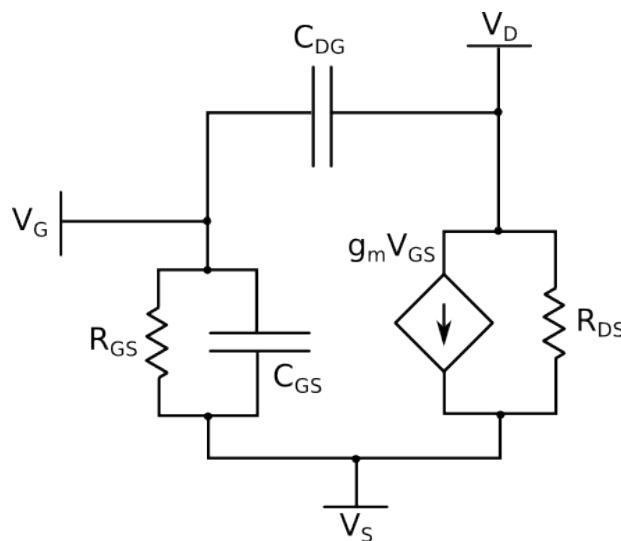


FIGURA 10 – MODELO DE PEQUENOS SINAIS

O modelo apresentado na FIGURA 10 é um dos mais usados no desenvolvimento de circuitos lineares. Nele são considerados alguns dos parâmetros mais importantes, porém poderiam ser agregados diversos outros ligados a fenômenos físicos variados. Em muitos casos ainda é possível desconsiderar a maioria dos parâmetros, mantendo somente um ou dois dos parâmetros de maior importância para uma dada aplicação.

Um dos parâmetros de maior importância é a transcondutância, que regula a variação da corrente de dreno em função do potencial de porta, sendo definido pela

derivada calculada em torno do ponto de polarização:

$$g_m = \frac{d I_{DS}}{d V_{GS}} \quad (4)$$

O resistor R_{GS} em conjunto com o capacitor C_{GS} sintetizam os parâmetros de qualidade do isolamento do eletrodo de porta, bem como seu acoplamento com o canal. Seria desejável uma capacitância elevada nesse contato para que a transcondutância do dispositivo fosse maximizada, porém daí se observa que existem efeitos adversos, já que os sinais de frequências maiores aplicados a este contato serão atenuados pela presença de capacitâncias elevadas.

O resistor R_{DS} representa a variação da corrente de dreno em função da variação do próprio potencial de dreno, em geral considerado um efeito indesejável:

$$R_{DS} = \frac{d V_{DS}}{d I_{DS}} \quad (5)$$

Nesse parâmetro podemos incluir efeitos de não-saturação do transistor. Conforme observado anteriormente, a saturação da corrente de canal é obtida com aplicação de um potencial V_{DS} suficientemente elevado. Portanto, quando essa situação não é atingida, precisamos levar em consideração a redução dessa resistência. Além disso, a presença de efeitos parasitários tende a reduzir o valor de R_{DS} mesmo na condição de saturação, limitando o desempenho em amplificação linear do dispositivo. O produto entre R_{DS} e g_m é chamado ganho intrínseco. Esse valor dá uma ideia do máximo ganho de tensão que o dispositivo poderia realizar quando o restante dos parâmetros do circuito de amplificação são considerados ideais. Daí temos que a maximização desses dois valores é de fundamental importância para o dispositivo operando em regime linear na maioria das aplicações, principalmente na amplificação de pequenos sinais.

Finalmente, o acoplamento capacitivo entre o dreno e porta é considerado pela inclusão do capacitor C_{DG} . Entre os efeitos capacitivos que podem reduzir seriamente a resposta em frequência do transistor, este representa um dos mais importantes, já que acopla diretamente a entrada e saída de circuitos amplificadores

em vários casos.

É notável que a maioria das tecnologias de FETs planares historicamente sofreu de limitações drásticas em frequência devido a características intrínsecas da construção, que geram regiões de sobreposição entre o eletrodos. De fato, a tecnologia CMOS só atingiu grande aplicação comercial quando foi introduzida a tecnologia de contato de porta auto-alinhado. Esse efeito é ainda mais pronunciado em dispositivos flexíveis experimentais na atualidade, que em geral não usam técnicas de litografia avançadas, sendo frequente a obtenção de dispositivos com áreas de sobreposição maiores que o próprio canal. Essa elevação das capacitâncias parasitárias pode trazer os tempos de transição de dispositivos plásticos de mais larga área à escala de segundos [14].

2.4 RESISTÊNCIA DE CONTATO

Quando materiais diferentes são postos em contato elétrico, pode surgir uma barreira de potencial para o transporte de cargas através da interface entre os materiais, dependendo de suas propriedades eletrônicas. Esta barreira é observada macroscopicamente como uma resistência de contato, que pode ser indesejável, como quando se trata da interligação de transistores por condutores metálicos, ou desejável, como em diodos de retificação.

A resistência de contato está associada à diferença de nível energético entre as bandas dos dois materiais. Podemos ter uma situação de barreira de potencial quando um elétron passa de um nível energético mais baixo para um nível mais alto ou quando uma lacuna passa de um nível energético mais alto para um outro mais baixo.

Em interfaces entre metais e semicondutores orgânicos, a barreira energética para o transporte de elétrons (ϕ_{Be}) é igual à diferença entre a função trabalho do metal e o nível LUMO do semicondutor. A barreira para lacunas (ϕ_{Bi}) é dada pela diferença entre a função trabalho e o nível HOMO do semicondutor, tomando o cuidado de levar em consideração as cargas opostas dos portadores. Estas

barreiras estão representadas no diagrama antes do contato elétrico mostrado na FIGURA 11.

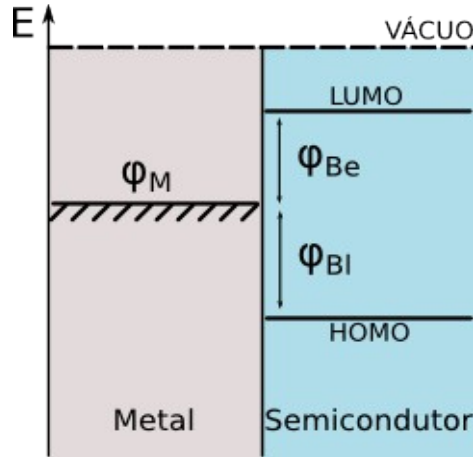


FIGURA 11 – ENERGIAS E BARREIRAS DE POTENCIAL ASSOCIADAS À INTERFACE METAL-SEMICONDUTOR. Esquema antes do contato, onde ϕ_M é a função trabalho do metal, ϕ_{Be} é a barreira para elétrons e ϕ_{BI} a barreira pra lacunas.

Em geral, tenta-se reduzir a resistência de contato nos dispositivos planares, para que a corrente dreno-fonte seja limitada somente pela condutividade do canal induzido pelo potencial de porta. Isso é feito pelo alinhamento da função trabalho do metal com o nível LUMO, para dispositivos operando com transporte de elétrons, e com o nível HOMO, para dispositivos operando com transporte de lacunas.

Em materiais cristalinos, temos que a corrente através de junções metal-semicondutor geralmente pode ser descrita em função da teoria de emissão termiônica de Bethe ou pela teoria de difusão de portadores através de uma região de depleção de Schottky. A teoria da difusão descreve melhor a injeção em materiais com baixa mobilidade e a teoria termiônica é mais apropriada para materiais de alta mobilidade [15]. Ambas resultam na mesma dependência exponencial com a tensão aplicada demonstrada na equação (6), diferindo apenas no cálculo da corrente característica.

$$I = I_0 \left[\exp \left(\frac{q V_a}{\eta k_B T} \right) - 1 \right], \quad (6)$$

onde I_0 é a corrente característica ou de saturação, q é a carga elementar, η é um fator de não idealidade, k_B é a constante de Boltzmann, T a temperatura absoluta e

V_a é a diferença de potencial elétrico aplicado. O fator de não idealidade é comumente incluído para comparação com dispositivos reais e costuma estar entre valores de um a dois para semicondutores cristalinos comerciais. A corrente característica é um dos termos mais importantes e depende principalmente da barreira de potencial na interface, sendo que na teoria termiônica é calculado pela equação:

$$I_0 = S A_0 T^2 \exp\left(-\frac{q \varphi_B}{k_B T}\right) , \quad (7)$$

onde S é a área do dispositivo e A_0 é a constante de Richardson.

Existe ainda um efeito adicional de abaixamento de barreira devido ao efeito de carga imagem, ou efeito Schottky [15]. Esse efeito insere uma dependência da barreira de potencial φ_B com o campo elétrico na superfície do metal, de acordo com as equações:

$$\varphi_B = \varphi_0 - \Delta \varphi , \quad (8)$$

$$\Delta \varphi = \sqrt{\frac{q E_{max}}{4 \pi \epsilon_s}} , \quad (9)$$

onde E_{max} é a amplitude do campo elétrico aplicado na superfície do metal e ϵ_s é a permeabilidade elétrica do semicondutor. O valor do campo elétrico depende das características dos materiais e do potencial aplicado, bem como da morfologia da interface.

Em certos casos, o efeito de abaixamento de barreira se torna mais significativo que o comportamento previsto pela equação (6). Nestes casos, a característica I-V assume uma dependência diferente com o potencial aplicado, passando a ser descrita pela equação:

$$I = I_0 \left[\exp(\beta \sqrt{V_a}) - 1 \right] , \quad (10)$$

onde β é uma constante que inclui efeitos de temperatura e a razão entre o potencial aplicado e o campo elétrico na interface. A unidade subtraída da exponencial é uma

correção para que a corrente sem potencial aplicado seja nula. Poderíamos assumir, para um filme semicondutor de espessura L , com superfície plana e baixa densidade de cargas livres:

$$\beta = \sqrt{\frac{q^3}{4\pi\epsilon k_B T L}} \quad (11)$$

Essa equação descreve um comportamento similar à corrente através de uma interface metal-vácuo. Sua validade em estado sólido foi demonstrada por [16], de onde ela foi adaptada. Alguns trabalhos baseados em interfaces metal-polímero [17] apresentaram boa correlação com esse resultado.

2.5 TRANSISTOR FET VERTICAL

Uma estrutura alternativa ao dispositivo planar é o transistor de efeito de campo em arquitetura vertical, ao qual referimo-nos pela sigla VOFET (do inglês, *Vertical Organic Field Effect Transistor*) quando são usados materiais orgânicos como isolante e semicondutor. Nesse caso, não existem contatos laterais ao semicondutor, pois os eletrodos de dreno, fonte e porta estão dispostos numa estrutura multicamadas. Não existem modelos bem estabelecidos do conhecimento do autor para a descrição deste dispositivo, portanto uma análise de alguns dos fenômenos esperados e reportados por trabalhos experimentais anteriores serão demonstradas a seguir.

Na estrutura multicamadas, o canal condutor que se forma entre dreno e fonte tem o comprimento regulado pela espessura do filme semicondutor que separa os dois eletrodos. O controle da espessura geralmente é feito pela regulação de taxas de deposição, sendo possível a obtenção de dimensões da ordem de algumas camadas atômicas em processos de epitaxia mais rigorosos. Como o controle de dimensões no sentido planar geralmente depende de técnicas de litografia, em que a obtenção de dimensões abaixo do comprimento de onda da luz visível representa um grande desafio tecnológico, conclui-se que a estrutura vertical permite

comprimentos de canais muito menores e melhor parametrizados do que a estrutura planar.

Devido às baixas mobilidades de portadores de cargas normalmente observadas em semicondutores orgânicos [6], um dispositivo que possibilite a formação de um canal condutor de grande área e pequena espessura é importante para a obtenção de correntes elétricas mais elevadas.

Geralmente, o eletrodo intermediário é o contato de fonte ou o de porta, sendo que o mecanismo de modulação é diferente em cada um dos casos. Quando o eletrodo intermediário é o de porta [18], toda a corrente circulando entre dreno e fonte passa através desse eletrodo, sendo possível modulá-la através da variação do potencial de porta. Nessa construção, geralmente é necessária a produção de um eletrodo de porta perfurado ou muito fino. Quando o eletrodo intermediário é o de fonte, o eletrodo de porta é isolado do semicondutor e tem por função alterar as características de injeção do eletrodo de fonte. Nessa construção, vista na FIGURA 12, o eletrodo de fonte precisa ser permeável à ação de campos elétricos produzidos pelo eletrodo de porta. O efeito de permeabilidade pode ser obtido através de diferentes métodos, possivelmente envolvendo a impressão de padrões, perfurações e rugosidade em um eletrodo de espessura muito pequena, de maneira similar ao caso anterior.

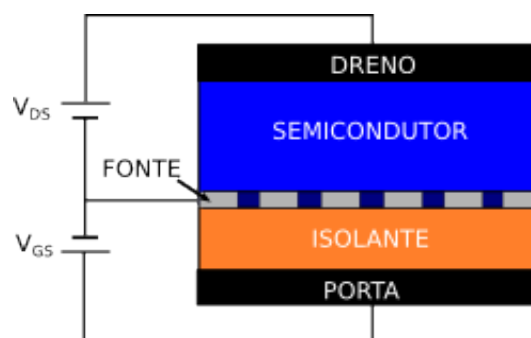


FIGURA 12 – ESQUEMA DO TRANSISTOR FET DE FONTE PERMEÁVEL.

O dispositivo estudado nesse trabalho é o FET vertical de fonte permeável. Podemos considerar a estrutura como um diodo metal-semicondutor empilhado sobre um capacitor, sendo que os dois tem em comum o eletrodo de fonte. O eletrodo de porta tem por função controlar a injeção de portadores do eletrodo de

fonte no material semicondutor. Podemos escolher os materiais para a interface fonte-canal de forma a constituir uma junção retificadora. Espera-se poder descrever a injeção de cargas em função de correntes termiônica, de difusão e de tunelamento similares às aquelas demonstradas para materiais cristalinos [15], sendo que cada uma delas apresenta um comportamento diferente em relação ao potencial aplicado e à barreira energética entre os dois materiais.

Diversos autores obtiveram transistores funcionais a partir dessa estrutura, porém o mecanismo pelo qual a injeção é modulada pelo potencial de porta ainda é controverso. Algumas análises levando em conta os efeitos do campo elétrico sobre o eletrodo podem ser boas candidatas para descrição do comportamento do dispositivo. Um possível efeito é o acúmulo de cargas no eletrodo de fonte, apontado por Ma [19]. Quando um condutor ideal fica sujeito a um campo elétrico, cargas se acumulam na superfície do eletrodo compensando o campo aplicado e mantendo a neutralidade elétrica no seu interior. Num material de condutividade finita, espera-se que o acúmulo de cargas afete o interior do condutor, se estendendo por uma certa profundidade. Nessa situação, o número total de portadores atingindo a barreira de interface pode ser aumentado ou reduzido, possibilitando modulação da corrente injetada.

Como a densidade de elétrons livres em metais é muito alta, a penetração de campos elétricos no eletrodo intermediário é mínima, portanto o acúmulo de cargas se dá em uma profundidade de apenas algumas camadas atômicas. Esse efeito de blindagem dificulta a modulação da injeção pelo carregamento do eletrodo, porém, pode ser contrabalanceado com a elevação da capacitância do sistema porta-isolante-fonte, o que em contrapartida reduz drasticamente o desempenho em frequência do dispositivo.

Para obtenção de uma transcondutância elevada, o eletrodo de fonte precisaria ser muito fino, ao menos em algumas regiões da área ativa do dispositivo. Com o uso de um filme de alta rugosidade, é possível que essa condição seja atingida [19]. Além dessas considerações, é possível que a estrutura do metal em espessuras muito finas apresente propriedades de transporte diferentes daquelas observadas em grandes volumes cristalinos, devido à presença de fronteiras de grão e fases amorfas; essa situação permitiria uma maior penetração do campo elétrico.

Uma abordagem alternativa demonstrada por Ben-Sasson [20] faz uso de perfurações com dimensões bem controladas no eletrodo de fonte formando uma grade metálica. Isso é feito para permitir a passagem de campos elétricos produzidos pelo eletrodo de porta para dentro da estrutura do eletrodo de fonte e do volume do semiconductor, conforme demonstrado na FIGURA 13. Supondo uma situação em que o eletrodo permeável está entre duas placas condutoras sujeitas a potenciais elétricos definidos, uma análise rápida indica que os campos elétricos nessas perfurações são afetados pelos dois potenciais.

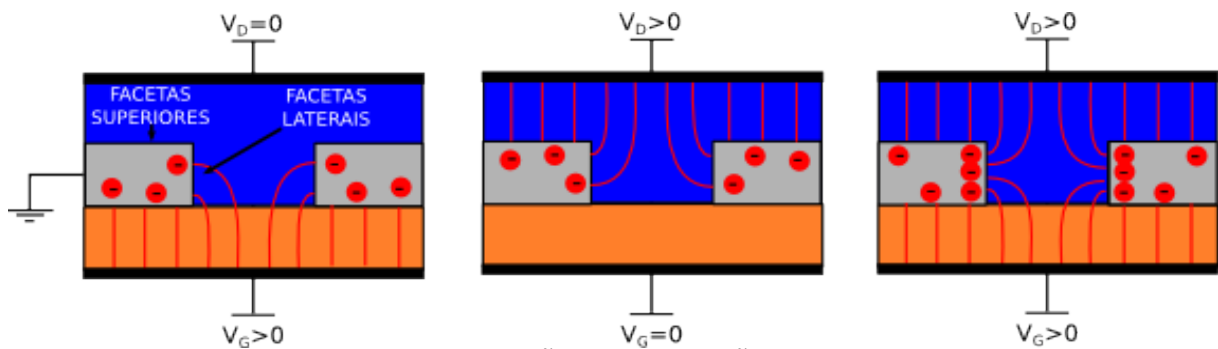


FIGURA 13 – ILUSTRAÇÃO DA SEÇÃO TRANSVERSAL DA PERFURAÇÃO E CAMPOS INDUZIDOS PELOS POTENCIAIS DE DRENO E PORTA.

Nas facetas laterais da perfuração, o campo resultante é a soma dos campos induzidos pelas duas placas. Considerando o caso do transistor de fonte permeável em que um dos potenciais é o potencial de porta e o outro é o potencial de dreno, vemos que o campo pode ser amplificado pelo aumento do potencial de porta, que possivelmente implica em amplificação da injeção de cargas. Esse efeito de amplificação da injeção de cargas nas facetas laterais das perfurações cria contatos virtuais entre o eletrodo de fonte e o semiconductor nessas regiões, aumentando a corrente I_{DS} até o limite em que o transporte passa a ser limitado somente pelos efeitos do volume do semiconductor. Nessa situação, a característica I-V pode ser útil para discernir qual o mecanismo mais importante na limitação do transporte de cargas.

Como as facetas superiores do contato de fonte não são afetadas pelo potencial de porta, estas regiões contribuem negativamente para o dispositivo, já que circula uma corrente no canal que não pode ser modulada reduzindo portanto a razão on/off da corrente I_{DS} . Em face disso, a razão entre regiões de perfuração e

regiões completamente metalizadas é uma das características importantes para o desempenho do dispositivo, sendo que uma elevação da área perfurada em geral é benéfica para o aumento da transcondutância. Entretanto, um limite é imposto pela condução no plano do eletrodo, já que um caminho de baixa resistência deve ser fornecido para a condução da corrente de canal para o contato de fonte em toda sua área. Uma modelagem matemática em função de simulações é demonstrada em [21], onde grande parte dessas situações são levadas em consideração e são feitas comparações com experimentos.

2.6. ISOLANTE DE PORTA

Uma das principais vantagens do uso de transistores de efeito de campo é o isolamento elétrico obtido entre o eletrodo de porta e os demais contatos do dispositivo devido à presença de um excelente isolante entre o canal semicondutor e o condutor de porta. Nas tecnologias inorgânicas atuais, o material comumente utilizado para esse fim é o dióxido de silício (SiO_2), que além da compatibilidade com os demais materiais, apresenta uma das maiores resistividades entre os materiais de aplicação prática. Porém, é comum o uso de outros materiais como o dióxido de háfnio (HfO_2) que foi aplicado em algumas das tecnologias mais recentes por apresentar maior permissividade elétrica e permitir um acoplamento capacitivo elevado com o canal. Outras alternativas de permissividade mais elevada são materiais como dióxido de titânio (TiO_2) e dióxido de zircônio (ZrO_2). Apesar destes materiais não apresentarem o mesmo desempenho isolante do dióxido de silício, sua maior permeabilidade permite que se faça um filme mais espesso no isolante de porta. Essa abordagem é importante para evitar efeitos de tunelamento quântico eletrônico que se tornam significantes nos dispositivos de tecnologias mais atuais, onde os filmes podem atingir dimensões da ordem de dezenas de camadas atômicas. As mesmas condições devem ser observadas no planejamento do filme isolante para transistores orgânicos, tanto em arquitetura vertical quando em arquitetura planar. O bom isolamento elétrico do eletrodo de porta, mantendo um alto

acoplamento capacitivo entre este e o canal, depende da condutância e permissividade elétrica do material utilizado, bem como a habilidade de produzir filmes finos com o mesmo.

Diversos dispositivos orgânicos foram implementados [22–24] usando estes óxidos considerados de alto desempenho. Porém, estes materiais introduzem dificuldades para o processamento em conjunto com semicondutores orgânicos, já que as temperaturas envolvidas no processo de deposição podem danificar estes materiais. Além disso, o uso destes óxidos aumenta a rigidez do dispositivo, o que é indesejável para aplicação em substratos flexíveis.

Entre os polímeros mais estudados para aplicação no isolamento elétrico do eletrodo de porta estão o poli(4-vinilfenol), poliimida, poli (metacrilato de metila) (Acrílico ou PMMA), polivinilpirrolidona (abreviadamente povidona ou PVP) e álcool polivinílico (PVA). Existem ainda camadas isolantes construídas com a combinação de materiais diferentes, porém a produção de um filme em uma única etapa de deposição é desejável para obtenção de um processo de fabricação de baixo custo e complexidade.

O material escolhido para aplicação nesse trabalho foi o álcool polivinílico, devido às suas características de não-toxicidade, baixo custo, solubilidade em água, flexibilidade, excelente isolamento elétrico e alta constante dielétrica [25]. A estrutura química desse polímero é mostrada na figura 14, onde observa-se a presença de um grupo hidroxila em cada unidade do polímero. Essa característica dá um caráter fortemente polar ao material, e é possivelmente responsável por sua alta permissividade elétrica.

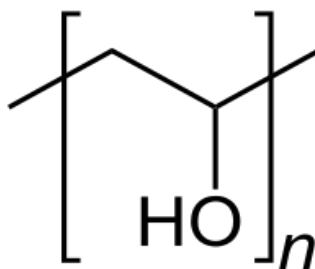


FIGURA 14 - ESTRUTURA QUÍMICA DO PVA

Com o uso de reticulação cruzada é possível aumentar tanto a resistência mecânica quanto a resistividade elétrica do PVA, o que pode ser feito com a adição de dicromato de amônio [14]. Porém, a adição de materiais que podem ser considerados impurezas na estrutura do isolante tem efeitos adversos relacionados ao aumento de efeitos de histerese em dispositivos eletrônicos construídos com o material. A origem destes efeitos de histerese não é bem compreendida, porém pode ter relação com o movimento de íons e reorientação lenta de grupos OH dentro da estrutura do polímero. Apesar das adversidades, esse procedimento foi realizado na fabricação dos dispositivos estudados nesse trabalho.

3 ESTUDO DO ELETRODO PERMEÁVEL

Na arquitetura vertical do transistor de efeito de campo com fonte permeável, o principal obstáculo tecnológico é a fabricação do eletrodo de fonte em um processo simples e de baixo custo, pois as propriedades morfológicas desse eletrodo afetam diretamente características importantes como a transcondutância e tensão de limiar de condução.

3.1 ANÁLISE

As técnicas comumente utilizadas para permeabilização do eletrodo intermediário envolvem litografia de esferas, deposição de copolímeros [20] e outras moléculas orgânicas [26], antes ou durante a evaporação do eletrodo de fonte. Esse procedimento objetiva criar um efeito de máscara, que é posteriormente removida deixando furos no material condutor. Estas técnicas, apesar de mais facilmente parametrizadas, apresentam custo e complexidade elevados devido aos materiais utilizados e aos processos necessários para retirada do material sem danificar o filme fino que compõe o eletrodo de fonte.

Uma solução para esse problema empregando uma única etapa de deposição pode ser obtida através do uso de filmes metálicos muito finos [27–29]. Podemos descrever a dinâmica de formação de filmes metálicos em uma sequência de estágios intermediários desde a formação de núcleos iniciais até a obtenção de um filme homogêneo com a presença de grandes áreas cristalinas, conforme representado na FIGURA 15.



FIGURA 15 – REPRESENTAÇÃO DOS ESTADOS INTERMEDIÁRIOS DE FORMAÇÃO DE UM FILME METÁLICO.

É possível interromper o processo de deposição em uma condição na qual o filme não tenha atingido coalescência total, deixando furos e regiões não cobertas por material condutor. Essa situação seria muito vantajosa, já que os padrões necessários para obtenção de permeabilidade a campos elétricos perpendiculares poderiam ser obtidos sem procedimentos adicionais. Porém, ainda é necessário que haja interconexão no plano do filme metálico, para que as cargas circulando pelo semiconductor possam fluir através do eletrodo de fonte sem passar por regiões de alta resistência elétrica, ou seja, sem produzir quedas de tensão significativas ao longo do plano do eletrodo de fonte.

Essas duas condições são concorrentes durante o processo de fabricação, e se faz necessário crescer o filme em certas condições de temperatura e taxa de deposição que produzam uma morfologia intermediária entre um excelente condutor, que bloquearia qualquer campo elétrico ortogonal, e um filme não condutor, que permitira a passagem dos campos elétricos no sentido ortogonal mas não permitiria o fluxo de corrente no plano.

A escolha do material para compor o eletrodo permeável é baseada na sua dinâmica de crescimento durante o processo de deposição, além de características elétricas como função trabalho e condutividade. Para esse trabalho foi escolhido o estanho, que apresenta uma baixa temperatura de fusão e uma tendência a produzir filmes de maior rugosidade em processos de evaporação térmica.

3.2 PROCEDIMENTO EXPERIMENTAL

Para estudo do processo de formação do filme de estanho que irá compor o eletrodo de fonte dos dispositivos finais, diversas amostras foram preparadas de acordo com o procedimento descrito a seguir. Foram usadas condições diferentes em um processo de evaporação térmica em vácuo, a fim de observar as alterações na morfologia do filme metálico e correlacioná-las com suas características elétricas.

3.2.1 Substrato

Em laboratório, foram utilizadas lâminas de vidro cortadas com 15 mm por 25 mm como base para os dispositivos. O preparo das lâminas é de grande importância já que impurezas na superfície podem afetar os filmes depositados causando alterações na morfologia ou mesmo perfurações ou regiões de não aderência, dificultando as análises ou ainda impossibilitando o funcionamento de dispositivos construídos com as amostras.

A limpeza empregada consiste em três etapas de banho ultra-sônico com duração de 20 minutos em diferentes solventes. O primeiro solvente utilizado é a acetona, com o objetivo de eliminar a maioria das moléculas orgânicas presentes na superfície do vidro. Os solventes seguintes são água deionizada e álcool isopropílico, com o objetivo de remover moléculas do solvente anterior que possam estar fortemente ligadas à superfície da lâmina.

No dispositivo sob estudo, o eletrodo de fonte cresce necessariamente sobre o filme que constitui o isolante do eletrodo de porta. Dessa forma, suas propriedades precisam ser caracterizadas sobre o material escolhido, já que pequenas variações no tratamento aplicado ao substrato afetam diretamente a morfologia do filme metálico. Como o isolante utilizado para o eletrodo de porta é o álcool polivinílico com dicromato de amônia, uma fina camada desse material é depositada sobre a lâmina de vidro através de spin-coating, seguindo o processo descrito por Machado

[14].

Primeiramente é feita a dissolução de 60 mg de PVA em 1 mL de água deionizada. As partes são adicionadas em um vial de vidro sobre uma superfície aquecida a 60 °C e mantidas em agitação branda durante 1 hora. Em seguida são adicionados 15 mg de dicromato de amônio e a solução é submetida novamente à agitação por aproximadamente 15 minutos, tempo necessário somente para que seja constatada visualmente a dissolução total do sal.

Com uma micropipeta, é depositado um volume de 60 µL da solução sobre a lâmina de vidro já afixada no equipamento de spin-coating, sendo iniciado de imediato o processo de rotação em duas etapas consecutivas; a primeira com duração de 10 s à velocidade de 800 rotações por minuto e a segunda com duração de 50 s à velocidade de 4000 rotações por minuto. Nessas condições, espera-se obter um filme com espessura de 300 a 400 nm, porém frequentemente são observadas variações de espessura no perfil do filme depositado, possivelmente devido às condições não-ideais do equipamento e procedimento utilizados. Estas variações em geral não causam problemas no dispositivo a ponto de causar o não-funcionamento, porém podem aumentar a variação das propriedades elétricas entre amostras semelhantes.

O processo é repetido para 6 a 8 amostras e o lote segue para a etapa de reticulação, que é feita por exposição a radiação UV durante 10 minutos em condições ambiente. Na sequência, as amostras são postas em estufa a vácuo na temperatura de 100 °C e pressão aproximada de 60 mm Hg, onde permanecem por aproximadamente 1 hora. Pausas entre um procedimento e outro são sempre evitadas, pois afetam o resultado final do experimento.

3.2.2 Evaporação

Finalmente é feita a deposição do filme de estanho sobre o PVA. É usada uma máscara de sombreamento para produção de uma trilha central com largura de 2mm, em que será medida a resistência de folha aproximada. Dessa forma é possível fazer a correlação dessa medida com a morfologia observada em microscópio de força atômica.

A evaporação do filme é realizada em câmara de aço inoxidável descrita na figura 16, com unidade de vácuo (FIGURA 16, item 6) composta por bomba mecânica de dois estágios, bomba difusora e armadilha criogênica de nitrogênio líquido. A qualidade do vácuo é verificada através de sensores pirani e penning, sendo que o procedimento é geralmente realizado com a câmara à pressão base de 10^{-6} torr, atingida após um período de estabilização de cerca de 10 minutos.

Para monitoramento da taxa de deposição, está instalada na câmara de trabalho uma microbalança de quartzo (FIGURA 16, item 4) ligada a um software de controle (FIGURA 16, item 7), que monitora a frequência de oscilação e fornece informação sobre a massa depositada por unidade de área e espessura do filme em tempo real.

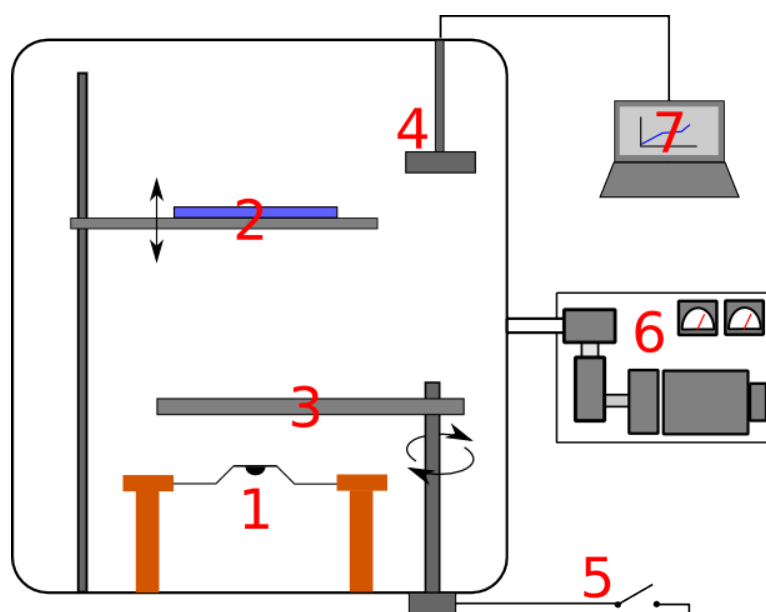


FIGURA 16 – ESQUEMA SIMPLIFICADO DA EVAPORADORA (fora de escala): 1) Cadinho de evaporação térmica de tântalo 2) Suporte para amostras e máscaras de sombreamento 3) Obturador rebatível de controle pneumático 4) Microbalança de quartzo para controle da espessura e taxa de deposição 5) Controle do obturador 6) Sistema de vácuo 7) Computador com software de controle da microbalança.

A posição da amostra (FIGURA 16, item 2) pode ser variada em relação ao cadinho de evaporação (FIGURA 16, item 1), porém a altura do sensor é fixa. As taxas de deposição sobre a amostra a alturas diferentes daquela do sensor podem ser estimadas por uma relação de quadrado inverso da distância ao cadinho:

$$R_s = R_m \left(\frac{h_m}{h_s} \right)^2, \quad (12)$$

onde R_s é a taxa na amostra, R_m é a taxa medida, h_s é a distância da amostra ao cadinho e h_m é a distância do sensor ao cadinho, igual a 16 cm.

Finalmente, com o uso de um obturador pneumático (item 3 – figura 16), podemos limitar os tempos de exposição da amostra e produzir filmes com espessura controlada. É possível também controlar a espessura através da massa total depositada no cadinho, cada situação apresenta vantagens diferentes. Para o caso do estanho, como o material vem na forma de pedras de aproximadamente 60 mg de alta pureza e a separação de massas precisas sem contaminação do material é bastante difícil, considera-se mais apropriado o controle da espessura através do obturador. Outro ponto em favor dessa abordagem é que o material apresenta uma taxa de evaporação estável quando o cadinho é mantido em temperatura constante, facilitando a parametrização do processo.

Foram escolhidas três alturas diferentes para a deposição do filme, de 7, 10 e 16 centímetros. Espera-se que as distâncias menores produzam filmes mais rugosos, devido às maiores temperaturas associadas ao aquecimento indireto do substrato e à maior taxa de deposição.

Para cada situação, foi buscado o limiar em que o filme passa a apresentar condutâncias no plano em valores intermediários (em torno de $100 \Omega/\square$), suficientes para a passagem de correntes na ordem de microamperes sem que haja queda significativa de potencial ao longo do eletrodo. Ao ser atingida essa condição, o filme é considerado o melhor candidato para aplicação no dispositivo final. A resistência de folha aproximada do filme foi aferida por um teste rápido da resistência a dois terminais mostrado na FIGURA 17, sendo que o valor é obtido por:

$$R_s = \frac{V}{dWI}, \quad (13)$$

onde V é a tensão aplicada, I a corrente medida, d a distância entre as pontas e prova e W a largura da trilha. Levando em conta a grande variação desse valor entre

amostras, uma abordagem mais precisa, como uma medida a quatro terminais, foi considerada desnecessária. Os tempos de exposição necessários em cada condição são demonstrados na terceira coluna da TABELA 1. Estes tempos representam o tempo entre a abertura e o fechamento do obturador, em que a amostra fica exposta ao vapor do estanho sublimado a partir do cadinho.

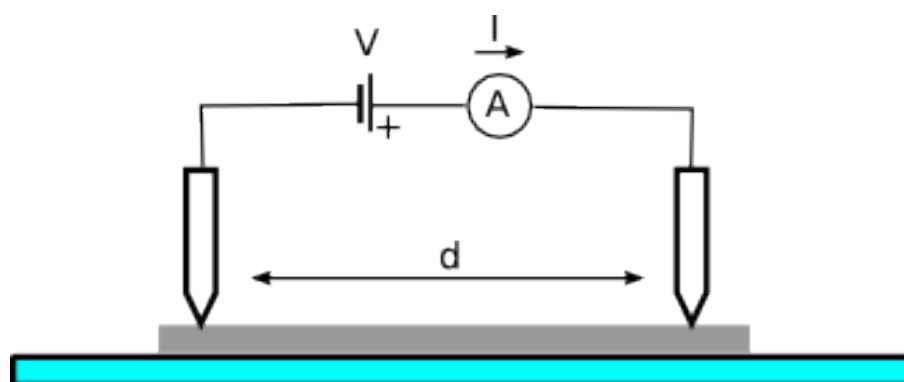


FIGURA 17 – TESTE RÁPIDO DE RESISTÊNCIA A DOIS TERMINAIS.

TABELA 1 – LIMIARES DE CONDUÇÃO PARA DIFERENTES CONDIÇÕES DE EVAPORAÇÃO.

Altura [cm]	Taxa de Deposição [Å/s]	Exposição [s]	Densidade [μg/cm ²]	R _s [Ω]
7	10,4*	35	0,27	30
10	5,1*	60	0,23	130
16	2.0 - 2.5	150	0,27	180
16	3.0 – 3.5	110	0,37	40

* taxa estimada

3.3 IMAGENS DE MICROSCOPIA DE FORÇA ATÔMICA

Para cada distância mostrada na primeira coluna da TABELA 1, foram escolhidas amostras com diferentes tempos de exposição, próximos aos valores de limiar mostrados na coluna 3. Dessa forma, espera-se observar as diferenças morfológicas entre os filmes de estanho com condutividade alta e baixa. As imagens foram obtidas em um microscópio de força atômica da marca Shimadzu, modelo 9500J3, no modo dinâmico.

3.3.1 Série 1 – Distância de 7 cm

As primeiras amostras são para a distância de 7 centímetros do cadinho, foi usada uma taxa de evaporação de 2 Å/s medida no sensor, que corresponde a uma taxa de 10,4 Å/s na posição da amostra. Foram escolhidas 4 amostras com as características mostradas na TABELA 2, já que as variações são mais abruptas devido à temperatura e densidade de deposição mais elevadas.

TABELA 2 – CARACTERÍSTICAS DAS AMOSTRAS DA SÉRIE 1

Identificação	Exposição [s]	Resistência [Ω/\square]	Rugosidade RMS [nm]
Amostra 1	20	Inf.	6,6
Amostra 2	30	Inf.	7,8
Amostra 3	35	10k	10,7
Amostra 4	40	30	20,2

Só foi observada condução reprodutível nas condições usadas para produção da amostra 4, apresentando resistência de folha de 30 Ω/\square . Nas condições da amostra 3 foram medidas resistências da ordem de 10 k Ω/\square em algumas amostras, o que indica que o limiar de condução ocorre em cerca de 35 segundos de exposição. Na FIGURA 18, observada-se uma forte variação do tamanho de grão entre as amostras, aumentando rapidamente com o tempo de exposição.

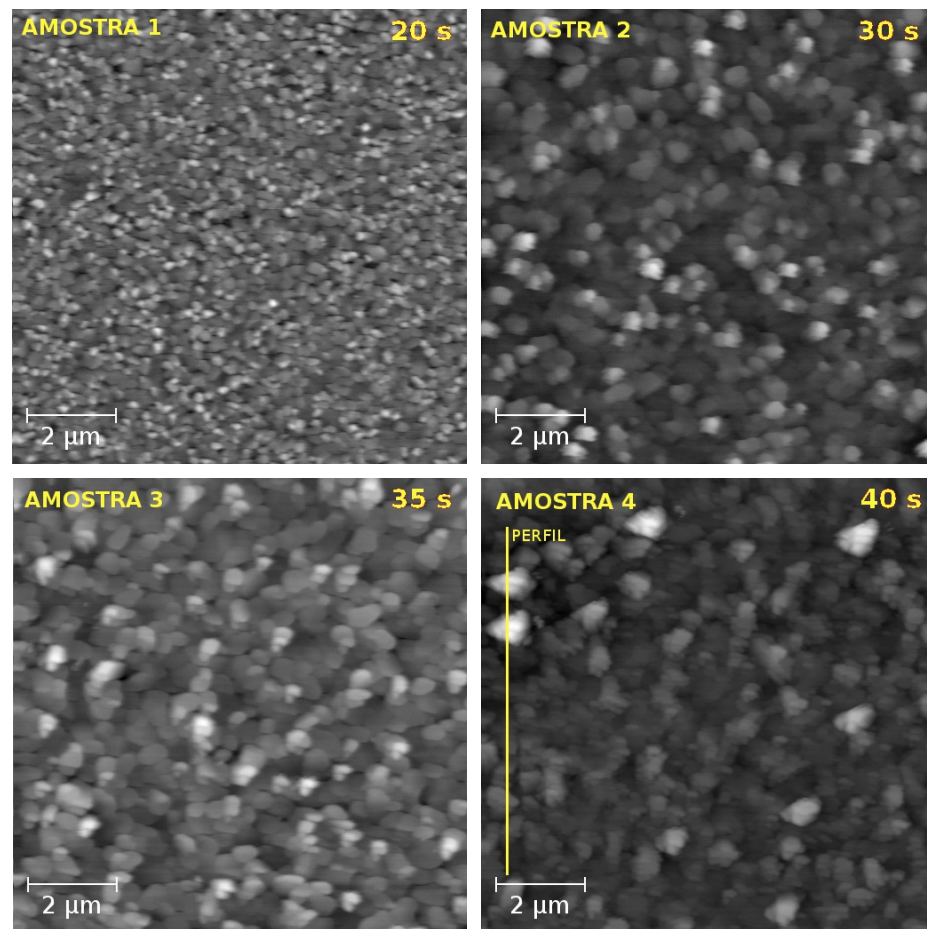


FIGURA 18 – MORFOLOGIA DO FILME À DISTÂNCIA DE 7 cm.

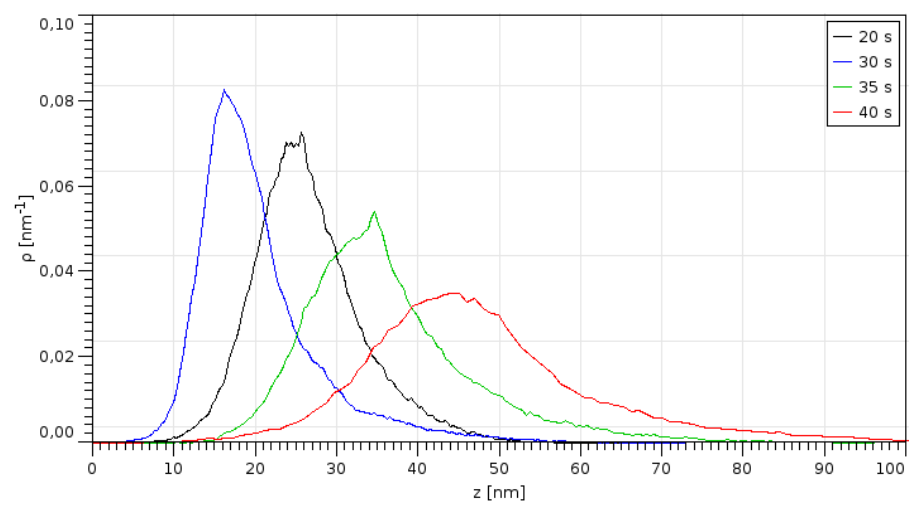


FIGURA 19 – DISTRIBUIÇÃO DE ALTURAS DAS IMAGENS DE AFM DAS AMOSTRAS À DISTÂNCIA DE 7 cm.

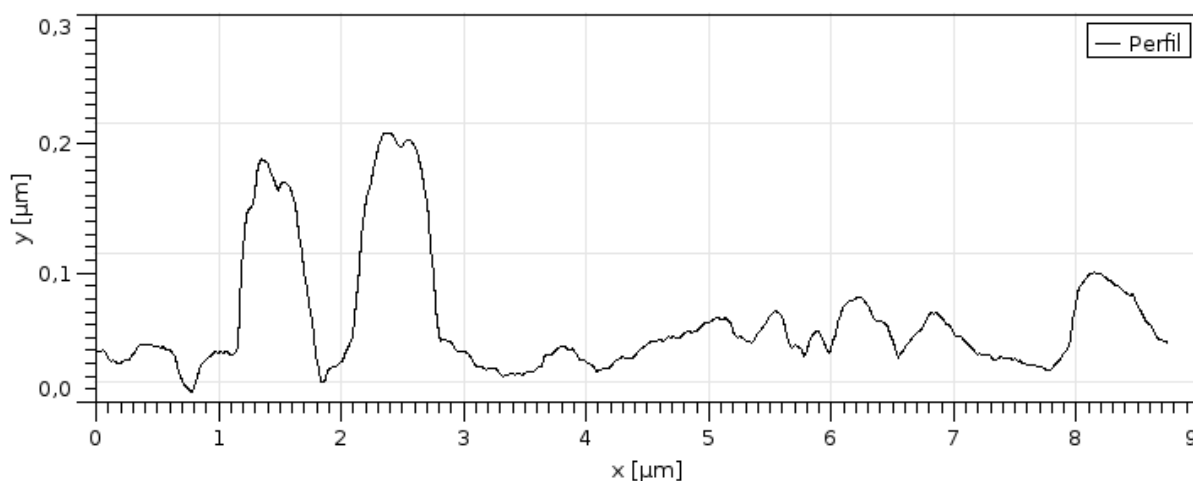


FIGURA 20 - PERFIL AO LONGO DA AMOSTRA 4

3.3.2 Série 2 – Distância de 10 cm

A segunda série de amostras foi produzida à distância de 10 cm do cadinho, foi usada uma taxa de evaporação de 2 \AA/s medida no sensor, que corresponde a uma taxa de $5,1 \text{ \AA/s}$ na posição da amostra. A variação das propriedades nessas condições é mais lenta, portando foi possível isolar a condição de limiar de condutividade com mais facilidade. Foram escolhidas duas amostras com as características mostradas na TABELA 3.

TABELA 3 – CARACTERÍSTICAS DAS AMOSTRAS DA SÉRIE 2

Identificação	Exposição [s]	Resistência [Ω/\square]	Rugosidade RMS [nm]
Amostra 1	40	Inf.	7,4
Amostra 2	60	180	5,3

Na FIGURA 21, observa-se da amostra 1 para a amostra 2 apenas uma variação sutil em morfologia e tamanho de grão, sendo que no segundo caso há uma maior interconexão, inclusive com a formação de uma superfície uniforme nas camadas inferiores do filme. Como as amostras representam as situações antes (amostra 1) e depois (amostra 2) de ser atingida condução no plano, observa-se que

não existe uma grande variação morfológica associada ao surgimento de condutividade elevada, apenas interconexão entre grãos.

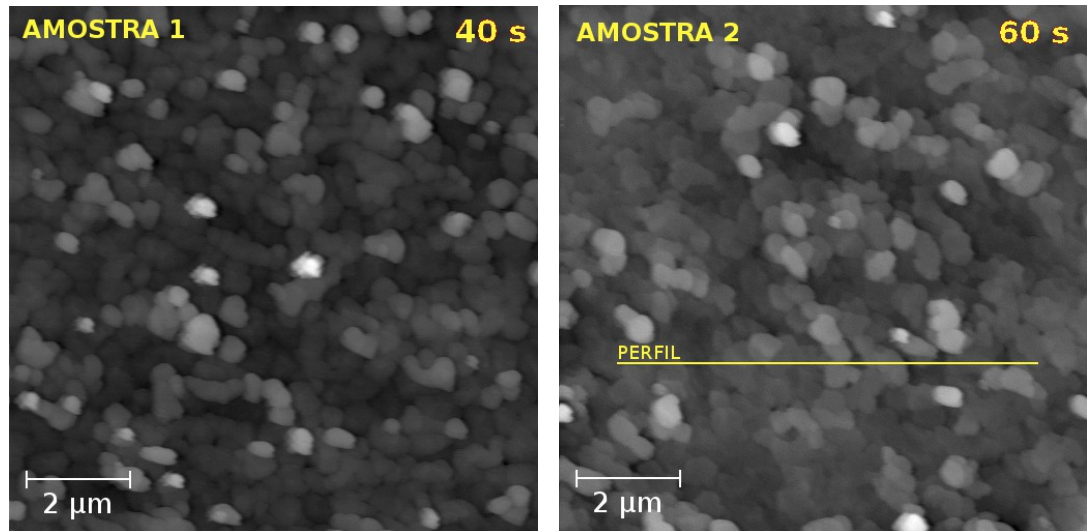


FIGURA 21 – MORFOLOGIA DO FILME À DISTÂNCIA DE 10cm.

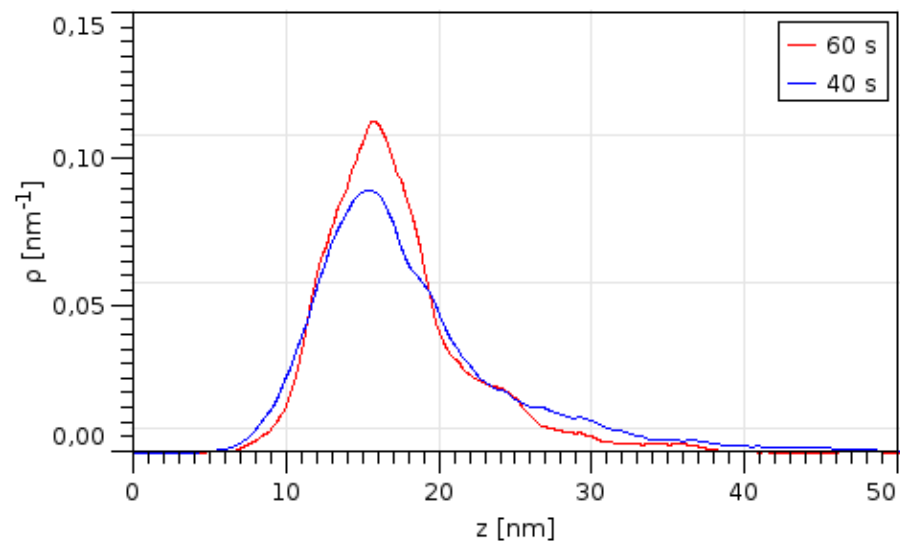


FIGURA 22 – DISTRIBUIÇÃO DE ALTURAS DAS IMAGENS DE AFM DAS AMOSTRAS À DISTÂNCIA DE 10cm.

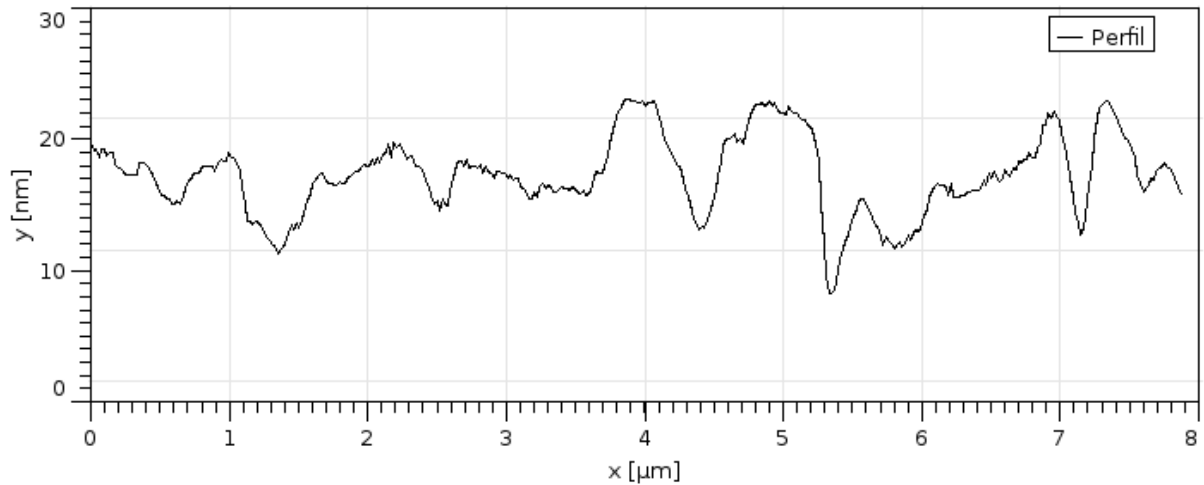


FIGURA 23 - PERFIL AO LONGO DA AMOSTRA 2

3.3.3 Série 3 – Distância de 16 cm

A série final foi realizada à distância de 16 cm do cadinho. Utilizou-se a taxa de 3 Å/s medida no sensor e considerada igual à taxa da amostra por estarem ambos à mesma distância do cadinho. As amostras escolhidas representam as situações antes e depois de ser obtida a condução no plano, correspondendo aos tempos de exposição mostrados na TABELA 4. Nessa situação foi possível obter uma superfície uniforme, com menor presença de picos pronunciados.

TABELA 4 – CARACTERÍSTICAS DAS AMOSTRAS DA SÉRIE 3

Identificação	Exposição [s]	Resistência [Ω/\square]	Rugosidade RMS [nm]
Amostra 1	100	Inf.	7,0
Amostra 2	110	40	6,4

É notável que a condutância pode ser associada à conexão visível das regiões do eletrodo, sendo que podemos observar caminhos que cruzam a imagem na escala de 10 μm sem atravessar regiões de vales na amostra 2, o que não se observa na amostra 1.

Para efeito de comparação, definimos um fator de ocupação do filme com

vales e perfurações, calculado tomando a fração da área do filme com espessura menor que um certo limiar:

$$F_p(h_t) = \frac{A(h < h_t)}{A_t} \quad , \quad (14)$$

onde $A(h < h_t)$ é a área da região considerada que tem espessura inferior ao limiar h_t escolhido e A_t é a área total da região considerada. Para um limiar de 25 nm, o fator foi de 12,93% para amostra 1 e 1,42% para a amostra 2, indicando que o máximo fator possível sem perda de condutividade no plano nessas condições está entre estes dois valores.

É importante notar que, diferentemente da situação considerada no modelo proposto em [21], o eletrodo não apresenta somente perfurações, mas predominantemente há presença de vales com direções e comprimentos variados. Outra estrutura observável são as ilhas sem conexão com o restante do eletrodo que podem ter uma participação no comportamento elétrico do dispositivo, já que representam um potencial flutuante em uma região relativamente grande em comparação à espessura do semiconductor, porém a modelagem deste efeito está além do escopo desse trabalho.

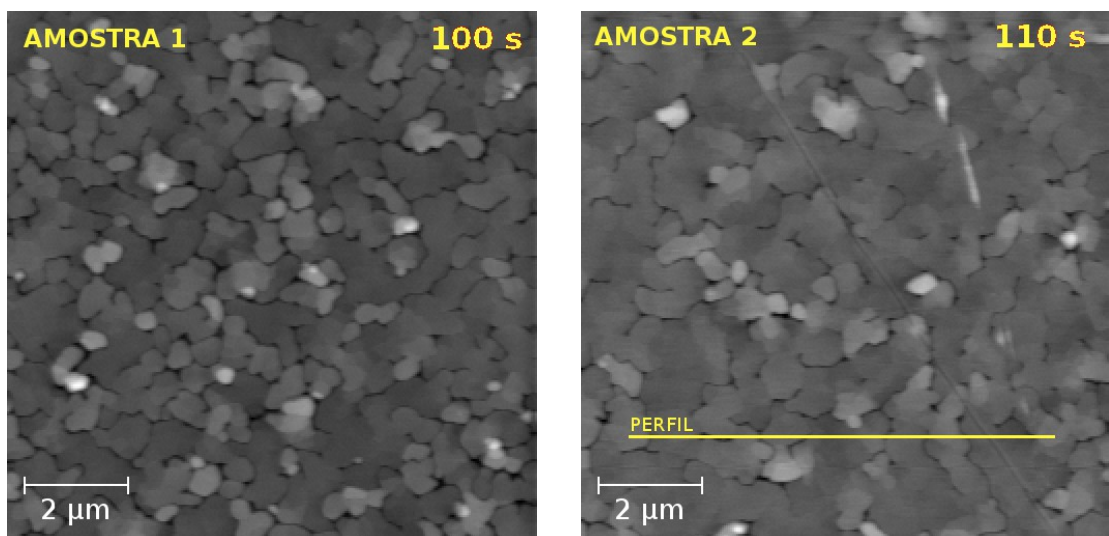


FIGURA 24 – MORFOLOGIA DO FILME À DISTANCIA DE 16cm.

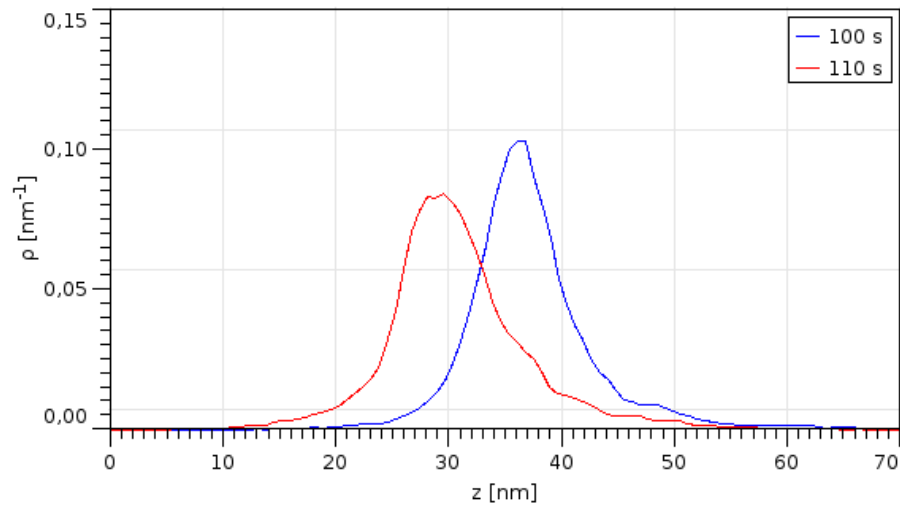


FIGURA 25 – DISTRIBUIÇÃO DE ALTURAS DAS IMAGENS DE AFM DAS AMOSTRAS À DISTÂNCIA DE 16cm.

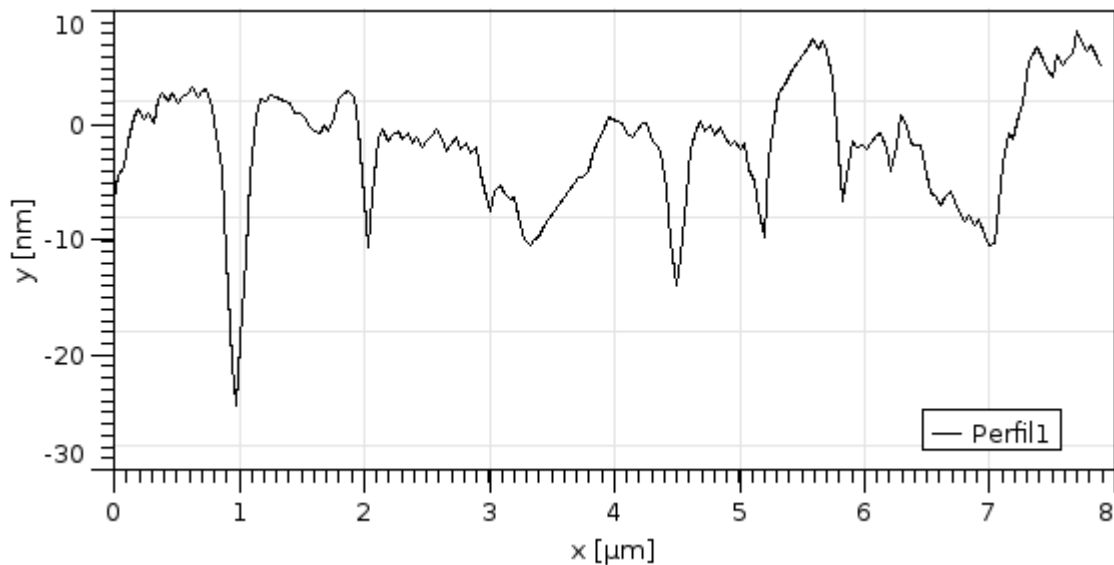


FIGURA 26 - PERFIL AO LONGO DA AMOSTRA 2

A maior proximidade do cadinho de fato resultou em maior rugosidade, porém em nenhum dos casos iniciais foram observadas perfurações que se estendessem até o material isolante. Quando a deposição é realizada a uma taxa mais lenta, o material pode formar ilhas e atingir a coalescência lentamente, o que acaba resultando em regiões maiores com a presença de vales, situação desejável para a permeabilidade a campos elétricos.

A homogeneidade da superfície superior do filme metálico nessa última

condição também apresenta vantagens, já que a presença de picos pode causar curtos através do canal até o contato de dreno, dificultando o uso de filmes semicondutores nanométricos.

Observou-se grande variação nas medidas elétricas quando o filme de PVA usado como substrato é submetido a tratamento térmico em condições variadas, ou ainda quando fica exposto às condições atmosféricas por um intervalo de tempo entre as etapas do processo de fabricação. Estima-se que a adsorção de umidade e outras impurezas do meio à superfície do PVA introduzem defeitos importantes na morfologia do filme metálico, desestruturando o material e dificultando a condução no plano.

Possivelmente ocorre reação química entre as primeiras camadas do metal depositado com grupos O-H presentes no PVA [30], gerando fases isolantes seguidas de fases porosas nos primeiros nanômetros depositados. Esse efeito pode ter participação na permeabilidade do eletrodo em regiões menos espessas do material.

4 ESTUDO DO DISPOSITIVO

A eficiência do filme permeável como um eletrodo intermediário em um transistor de efeito de campo vertical pode ser aferida através da confecção do dispositivo completo. Foram elaborados dispositivos com diferentes materiais compondo o canal, a fim de obter transistores complementares.

Pelo processo depender do uso de máscaras de sombreamento, foram escolhidos somente materiais compatíveis com evaporação térmica [8]. Em geral, esta restrição implica no uso de semicondutores compostos por moléculas pequenas. Alguns polímeros promissores usados em diversos trabalhos semelhantes foram desconsiderados, por dependerem de processos químicos ou eletroquímicos para formação do filme. Os materiais estudados foram o fulereno (C_{60}) e a ftalocianina de cobre (CuPc), que são semicondutores moleculares extensivamente estudados atualmente. Suas estruturas químicas são mostradas na FIGURA 27.

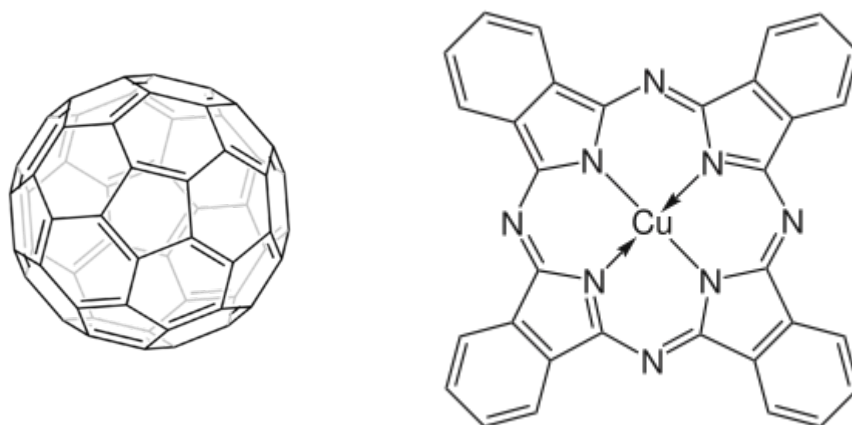


FIGURA 27 – ESTRUTURA DA MOLÉCULA DE C_{60} E DA MOLÉCULA DE CuPc.

A Ftalocianina de Cobre é um corante usado na indústria de plásticos que apresenta uma coloração ciano intensa. Por ser produzida em larga escala, apresenta um baixo custo em comparação a semicondutores moleculares obtidos de processos mais elaborados. As ftalocianinas e seus derivados são interessantes para aplicações eletrônicas, fotovoltaicas, eletroquímicas, de sensoriamento e memórias devido ao seu extenso sistema delocalizado de elétrons- π , permitindo à

molécula absorver luz visível e funcionar com um material condutor ambipolar. A molécula de CuPc tem uma conformação planar e simétrica, característica que é de grande importância para conferir um maior grau de ordem ou cristalinidade ao volume do material durante a deposição.

Em princípio, o material apresenta valores da mesma ordem de grandeza para mobilidade de lacunas e elétrons (da ordem de $10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) [31], sendo que a mobilidade de elétrons é geralmente de duas a três vezes maior. Existe, porém, um efeito de dopagem pelo oxigênio atmosférico que aumenta a densidade de lacunas [32], [33], de tal forma que o material é considerado um semiconductor tipo 'p'. O material utilizado foi obtido da Sigma-Aldrich Co., depositado sem purificação ou processamento adicional.

O fulereno ou C_{60} é uma molécula composta por 60 átomos de carbono em uma conformação bastante específica, similar a uma bola de futebol. Cada átomo faz duas ligações simples e uma dupla com outros três átomos de carbono. O material e seus derivados são bastante estudados atualmente por apresentarem alta mobilidade de elétrons, associada à presença de um sistema pi-conjugado de grandes dimensões, sendo que alguns trabalhos reportam mobilidades de efeito de campo maiores que $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ [34]. Por conta disso, o fulereno é considerado um semiconductor tipo 'n'. O material utilizado foi obtido da Luminescence Technology Corp. (Lumtec), depositado sem purificação ou processamento adicional.

4.1 PROCEDIMENTO EXPERIMENTAL

O dispositivo é composto por uma sequência de camadas finas depositadas por processo de evaporação em vácuo e spin-coating, conforme a representação da FIGURA 28. Em cada substrato são formados três dispositivos interconectados pelo contato de porta, que podem ser caracterizados separadamente.

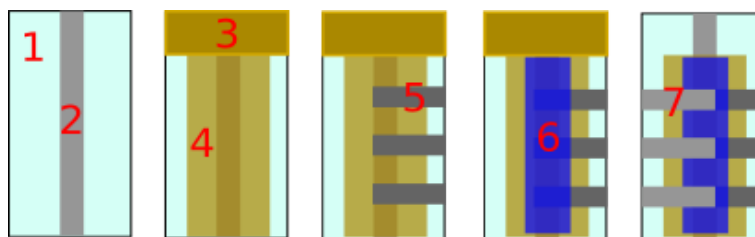


FIGURA 28 – SEQUÊNCIA DE FABRICAÇÃO DA AMOSTRA: 1) Substrato de vidro 2) Trilha de alumínio (Porta) 3) Fita de teflon para proteção do contato 4) Filme de cr-PVA 5) Trilha de estanho (Fonte) 6) Material Semicondutor 7) Trilha de alumínio (Dreno)

Primeiramente, toma-se um substrato de vidro soda-lime cortado e limpo conforme procedimento mencionado anteriormente (sessão 3.2.1), sobre o qual é evaporado uma trilha de alumínio que irá atuar como contato de porta. Uma região da amostra é coberta com fita teflon com a finalidade de impedir a deposição das demais camadas sobre uma parte deste eletrodo, reservando-se assim uma região do mesmo para contato elétrico externo.

Sobre esta lâmina é depositado, com o uso de uma micropipeta regulada para 60 μL , a solução de cr-PVA para o procedimento de spin-coating e posterior reticulação por exposição UV e tratamento térmico, conforme procedimento descrito anteriormente (sessão 3.2.1). Em seguida é feita a deposição controlada de estanho utilizando uma máscara que limita a região a três trilhas que vão da extremidade do vidro até cobrir o eletrodo de porta sobre o isolante, tomando o cuidado de iniciar a evaporação imediatamente após a retirada das amostras do tratamento térmico. Utilizando a distância do cadinho à amostra, taxa de evaporação e tempo de exposição encontrados nos experimentos anteriores, obtém-se com relativa consistência a morfologia desejada no eletrodo de fonte.

As etapas finais consistem na evaporação do filme semicondutor e dos contra-eletrodos ou contatos de dreno. Na primeira, usa-se uma máscara semelhante àquela utilizada para o contato de porta, porém com uma largura maior, obtendo-se assim uma tolerância para o desalinhamento das máscaras, que causariam um curto circuito entre os filmes metálicos que constituem dreno e fonte.

A evaporação de alumínio para construção do contato de dreno é a mais simples; não é necessário controle de espessura, apenas uma boa condução no plano para permitir a circulação de correntes mais elevadas no semicondutor mantendo a equalização do potencial de dreno em toda a área do dispositivo. É

possível escolher materiais diferentes para este contato, a fim de favorecer o transporte de elétrons ou lacunas. Alguns metais apresentam uma tendência muito forte de difundir para dentro da estrutura do semiconductor, possivelmente causando um curto elétrico, porém essa situação não foi observada com o uso do alumínio.

É importante que as trilhas de contato elétrico permitam um afastamento dos pontos em que serão ligados equipamentos de medição, já que a pequena espessura dos filmes que compõem o dispositivo não apresenta resistência mecânica contra arranhões e perfurações causadas por pontas de prova.

4.2 ANÁLISE E MEDIDAS ELÉTRICAS

4.2.1 Dispositivos com C_{60} como semiconductor

Os dispositivos iniciais empregaram como semiconductor o fulereno C_{60} , a fim de obter injeção de elétrons a partir do eletrodo de estanho. O diagrama de níveis de energia pode ser visto na FIGURA 29, em um esquema fora de escala, onde observamos um relativo alinhamento das funções trabalho dos eletrodos de dreno e fonte com o nível LUMO do semiconductor.

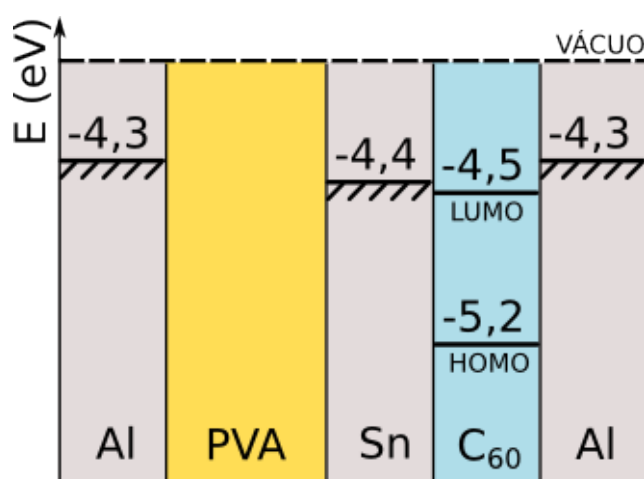


FIGURA 29 – DIAGRAMA DE NÍVEIS ENERGÉTICOS DO DISPOSITIVO COM FONTE EM ESTANHO E CANAL EM C_{60} . Da esquerda para a direita estão representadas (fora de escala) as energias do eletrodo de porta, isolante, eletrodo de fonte, semiconductor e eletrodo de dreno. Funções trabalho obtidas de [35], [36], níveis energéticos do semiconductor obtidos do fabricante.

Em geral, busca-se maximizar a injeção de portadores no canal semiconductor através da escolha de materiais para construção dos eletrodos de dreno e fonte que formam um contato ôhmico com o semiconductor. Frequentemente essa escolha implica em alinhar a função trabalho um metal de opção com o nível LUMO do semiconductor para facilitar a injeção de elétrons ou com o nível HOMO para injeção de lacunas, desconsiderando outros efeitos de interface. Os níveis energéticos aproximadamente alinhados do material semiconductor e dos eletrodos de dreno e fonte desse dispositivo possivelmente proporcionam uma baixa resistência de contato para injeção de elétrons.

A evaporação feita a 16 cm de distância do cadinho, mesma altura da microbalança de quartzo instalada no equipamento de evaporação, requer cerca de 20 mg para a formação de um filme com aproximadamente 150 nm de espessura, conforme verificado com o uso do perfilômetro Brucker DextakXT. A taxa de evaporação do material é instável, porém pode ser mantida abaixo de aproximadamente 5 Å/s com o aumento lento da corrente de aquecimento do cadinho de evaporação. É importante utilizar uma taxa baixa para favorecer a cristalinidade do semiconductor depositado e também evitar que a agitação do sólido no cadinho não cause a queda de parte do material para o fundo da câmara.

Um problema observado em dispositivos empregando fulereno é sua susceptibilidade à umidade do ar e demais impurezas que facilmente degradam o comportamento elétrico do dispositivo poucos dias ou até horas após a fabricação. De fato, alguns autores apresentam resultados somente em câmaras com atmosfera controlada. Por conta disso, as medidas elétricas foram realizadas imediatamente após a fabricação, não sendo obtida repetibilidade no dia posterior.

As medidas das características elétricas de entrada, saída e transferência foram feitas em condições de ambiente utilizando uma fonte dual Keithley 2602, o resultado obtido para a característica de saída pode ser visto na FIGURA 30, que representa o comportamento no primeiro quadrante do perfil I-V.

Os quadrantes são definidos para referirmo-nos às condições de polarização do dispositivo, sendo que o primeiro quadrante é representa a polarização positiva dos eletrodos de porta e dreno em relação ao eletrodo de fonte e o terceiro quadrante representa a polarização negativa destes eletrodos.

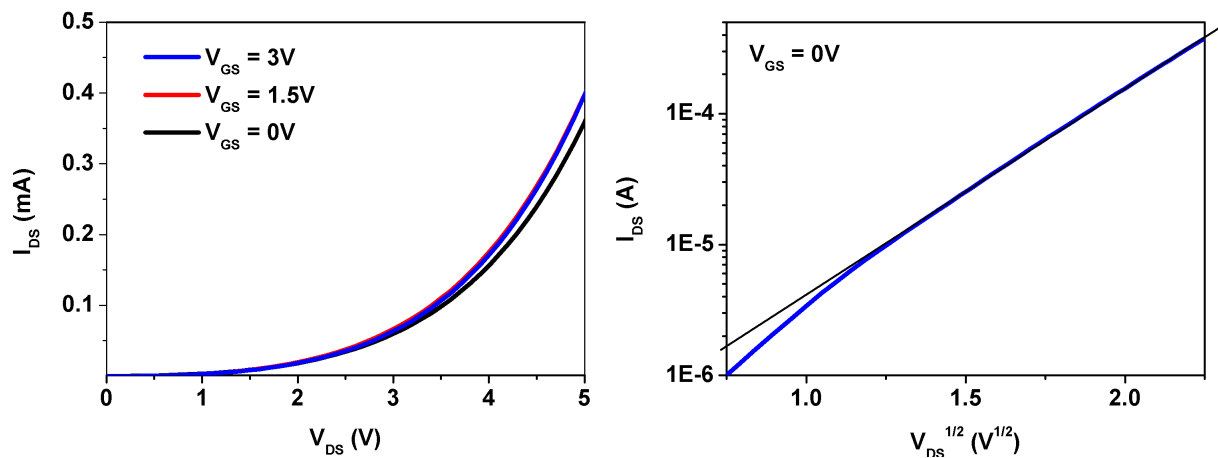


FIGURA 30 – PERFIL I-V DE SAÍDA NO PRIMEIRO QUADRANTE PARA O VOFET COM CANAL EM FULERENO: a) Em escala linear b) Em escala semilog por raiz de V_{DS} (reta adicionada para comparação).

No dispositivo medido, o comportamento da corrente em função da variação de potencial dreno-fonte acima de um certo potencial de limiar segue um comportamento compatível com o modelo de abaixamento de barreira (sessão 2.4), isso é visto no gráfico em função da raiz do potencial aplicado, que revela uma dependência exponencial bastante clara. O comportamento citado, porém, não é válido abaixo de um potencial de limiar que ocorre em torno de $V_{DS} = 1,5$ V, possivelmente podendo ser associado a uma mudança no mecanismo de transporte eletrônico em correntes mais baixas ou à presença correntes de fuga somadas à corrente de canal.

Varreduras em potenciais de porta negativos não demonstraram resposta nas amostras medidas. Já a aplicação de potenciais positivos até cerca de 1.5 V resultaram em um pequeno aumento da corrente de canal, sendo que acima desse valor o fenômeno de modulação atinge uma saturação, conforme é observado na figura 27. É possível que devido à pequena barreira de potencial entre o estanho e o semicondutor, a corrente nas facetas superiores do dispositivo, que não podem ser moduladas, dominam a corrente total no canal. Como a região de perfurações no eletrodo é pequena em relação à região completamente metalizada, este seria um fator determinante na baixa razão de modulação observada nas medidas.

Observa-se que é necessária a presença de uma barreira mais elevada para que seja criada uma situação de baixa condutância entre os eletrodos dreno e fonte, o que pode ser feito pela escolha de materiais com níveis energéticos desalinhados.

Na tabela do APÊNCIDE I são demonstrados alguns parâmetros usados na tentativa de fabricação dos eletrodos de fonte destes dispositivos.

4.2.2 Tratamento do eletrodo

A fim de elevar a barreira energética para injeção de elétrons entre o eletrodo de fonte e o semicondutor, foi feita uma fina cobertura com um material de função trabalho diferente sobre este eletrodo. Podemos considerar esta abordagem como um calibração da função trabalho do eletrodo de fonte. Para tanto, foi adicionada após a evaporação de estanho uma etapa de evaporação de ouro, que apresenta uma função trabalho de 5,2 eV, resultando no novo diagrama de energias mostrado na FIGURA 31 (fora de escala). Foram realizadas coberturas com espessuras de 3 a 10 nm sem perda da morfologia do eletrodo (ver FIGURA 32). Espera-se que estes metais formem uma bicamada, já que o ponto eutético da liga Sn-Au é suficientemente elevado [37] para podermos considerar que uma fase intermediária não ocorre de maneira significativa durante a deposição.

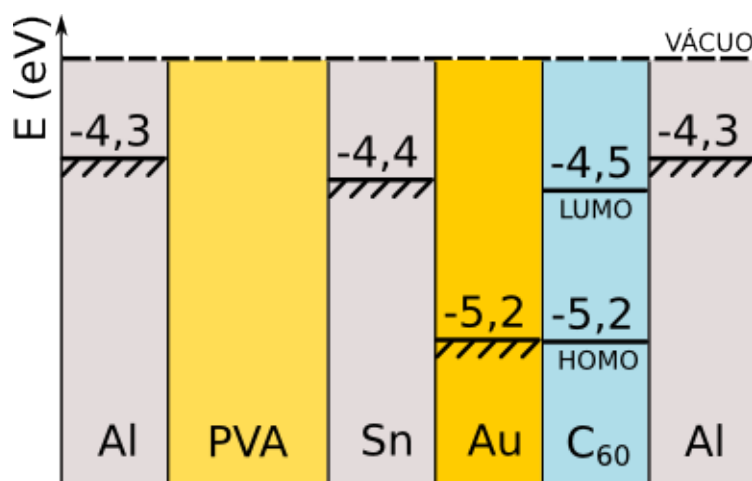


FIGURA 31 - DIAGRAMA DE NÍVEIS ENERGÉTICOS DO DISPOSITIVO COM COBERTURA DE OURO NO ELETRODO DE FONTE. Da esquerda para a direita estão representados (fora de escala) os níveis energéticos do eletrodo de porta, isolante, eletrodo de fonte, cobertura do eletrodo de fonte, semicondutor e eletrodo de dreno. Funções trabalho obtidas de [35], [36], níveis energéticos do semicondutor obtidos do fabricante.

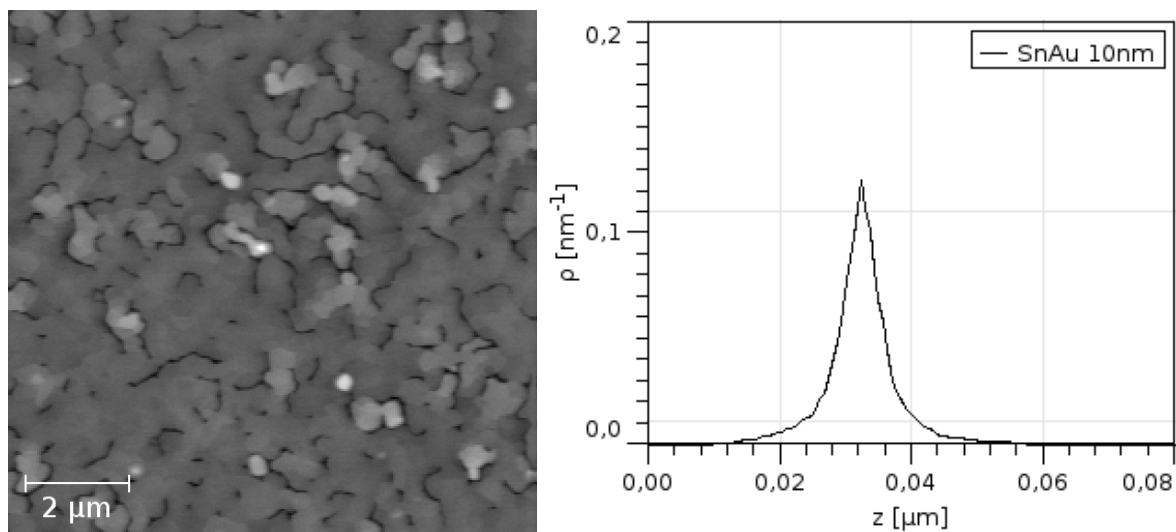


FIGURA 32 – MORFOLOGIA DO FILME DE ESTANHO COM COBERTURA DE 10 nm DE OURO E DENSIDADE DE ALTURAS CORRESPONDENTE

Ocorreram diversos problemas na tentativa de depositar filmes de ouro sobre o eletrodo de estanho, grande parte dos dispositivos apresentou curto circuito no canal. Foi reportado [38] que isso se deve a difusão dos átomos de ouro para dentro das estruturas dos filmes isolante e semicondutor, um problema frequente na evaporação de metais sobre materiais moleculares. Essa situação geralmente exige o uso de camadas intermediárias a fim de bloquear a difusão dos átomos metálicos durante a deposição, onde geralmente são aplicadas monocamadas auto-organizadas (do inglês, *Self-Assembled Monolayers* - SAM) entre outras soluções [39]. Porém esses procedimentos aumentam a complexidade no processo, o que é, em geral, indesejável.

Entre os dispositivos que não apresentaram curto circuito nas medidas elétricas, foram observadas diversas formas de instabilidades, mas a característica geral obtida em amostras mais estáveis não diferiu muito dos dispositivos construídos com eletrodo somente de estanho. Portanto, com base nas dificuldades encontradas nessa abordagem, o uso de uma cobertura metálica para os dispositivos de C_{60} foi abandonado, ao menos na técnica de evaporação térmica.

Na tabela do APÊNCIDE II, são demonstrados alguns dados importantes do processo usado para produzir as amostras.

4.2.3 Dispositivos com CuPc como semicondutor

Usando as mesmas técnicas para controle da morfologia do eletrodo de fonte, deposição do filme isolante e demais eletrodos, foram construídos dispositivos com ftalocianina de cobre como semicondutor.

Os valores comumente obtidos para o nível HOMO e LUMO do material são 5.2 e 3,6 eV respectivamente, apresentando uma barreira similar de 0,8 eV para injeção de lacunas e elétrons em relação ao nível de Fermi do estanho de 4,4 eV, como pode ser visto na FIGURA 33. Esse valor mediano é favorável para manter a corrente de estado desligado em níveis baixos porém ainda permitindo que um potencial de porta não muito elevado seja capaz de reduzir a barreira e iniciar a condução.

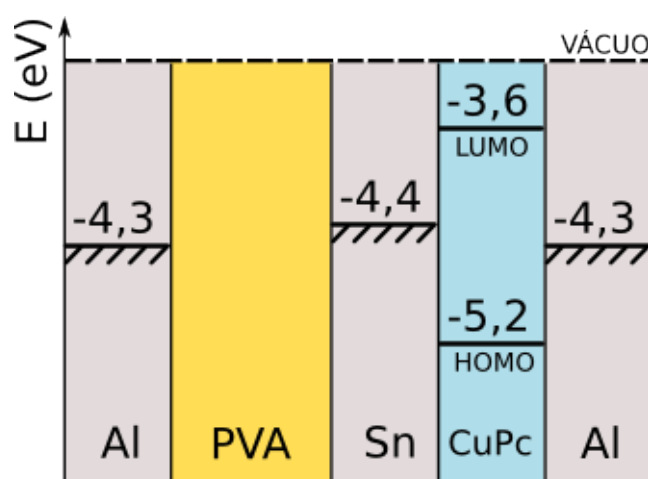


FIGURA 33 – DIAGRAMA DE NÍVEIS ENERGÉTICOS DO DISPOSITIVO CONSTRUÍDO COM CuPc. Da esquerda para a direita são representados os níveis energéticos do eletrodo de porta, filme, isolante eletrodo de fonte, semicondutor e dreno. Funções trabalho obtidas de [35], [36], níveis energéticos do semicondutor obtidos do fabricante.

É importante notar que o nível de Fermi do metal próximo ao meio da lacuna de energia do semicondutor em princípio pode possibilitar o transporte ambipolar no dispositivo [40], já que as barreiras para lacunas e elétrons são bastante similares. Entretanto, ao compararmos a função trabalho do metal e os níveis HOMO e LUMO do semicondutor diretamente, precisamos levar em conta a possibilidade de formação de dipolos de interface que desfazem o alinhamento em nível de vácuo [31].

A evaporação do material foi feita em taxas abaixo de 1 Å/s para que a formação do volume apresentasse uma estrutura mais cristalina, trabalhos anteriores [41] demonstram que o crescimento do material em taxas mais elevadas é nocivo às características de transporte eletrônico, possivelmente propiciando a formação de armadilhas no volume e interface do material. Uma massa de aproximadamente 15mg foi adicionada ao cadinho e o substrato foi mantido a 16 cm de altura, resultando num filme com espessura bastante homogênea de 80 nm.

4.2.3.1 Característica de Saída

Medidas elétricas foram realizadas da mesma maneira descrita anteriormente. O dispositivo mostrou comportamento de modulação em polarizações positivas (primeiro quadrante da característica I-V, FIGURA 35) e negativas (terceiro quadrante da característica I-V, FIGURA 34), porém o efeito foi muito mais pronunciado em polarizações negativas.

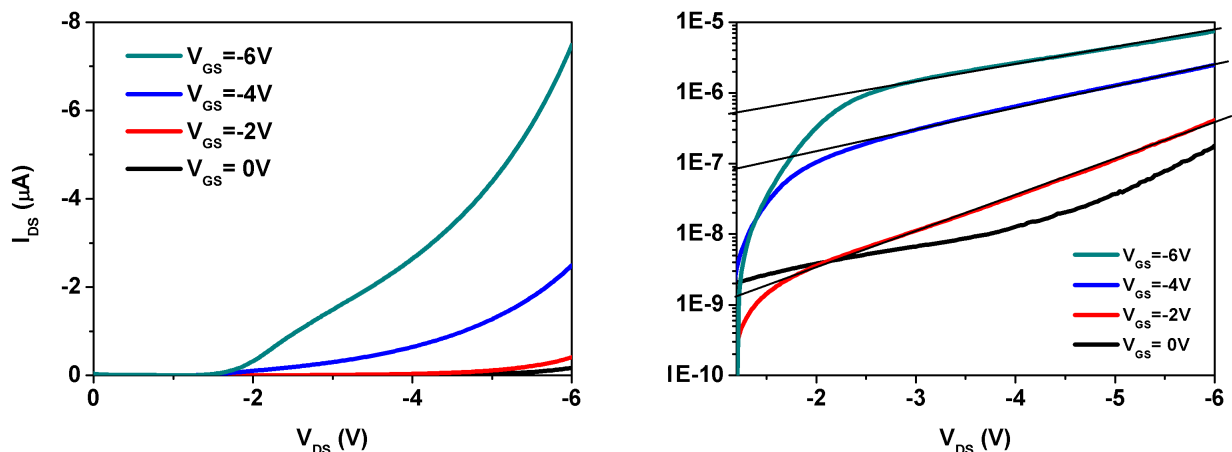


FIGURA 34 – CARACTERÍSTICA I-V DE SAÍDA DO FET CuPc NO TERCEIRO QUADRANTE: Esquerda) Em escala linear, Direita) Em escala semilog.

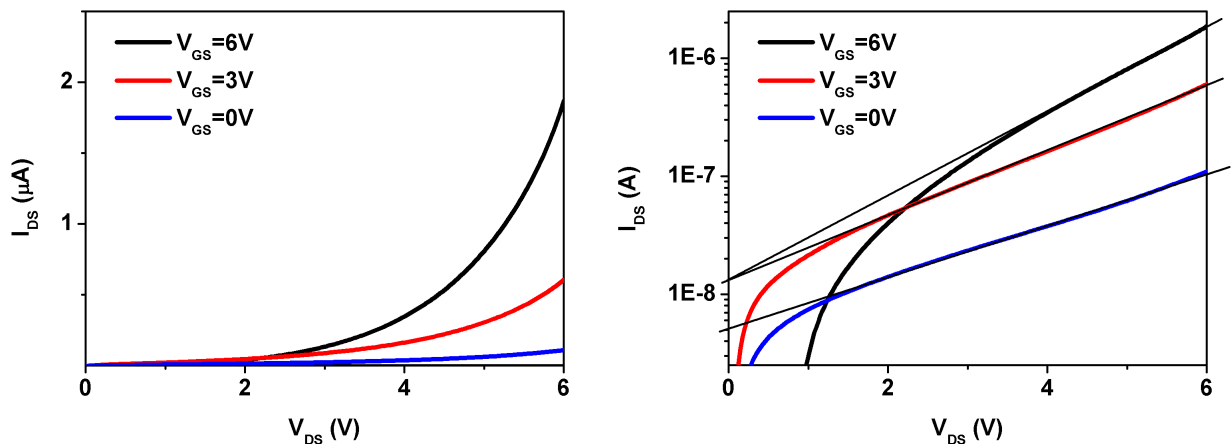


FIGURA 35 – CARACTERÍSTICA I-V DE SAÍDA DO FET CuPc NO PRIMEIRO QUADRANTE: Esquerda) Em escala linear, Direita) Em escala semilog.

Do gráfico em escala semilogarítmica, podemos observar um claro comportamento exponencial da corrente a partir de um certo potencial dreno-fonte, sendo que os desvios da exponencial em baixas tensões dreno-fonte provavelmente se devem majoritariamente à corrente de fuga circulando a partir do contato de porta através do isolante. Esse comportamento é compatível com o modelo de injeção termiônica discutido na seção 2.4, porém nessa situação não é observado o efeito de abaixamento de barreira. A parametrização dos dados experimentais na região acima da tensão de limiar pelas equações (6) e (7) da teoria termiônica é mostrada na TABELA 5. Obtemos os parâmetros pela linearização da curva de saída (ver FIGURA 34-b), onde o fator I_0 é obtido através do coeficiente linear e o fator η é obtido a partir do coeficiente angular. A análise é feita para o terceiro quadrante, já que nessa região as características do dispositivo são superiores.

TABELA 5 – PARÂMETROS DE FITTING DOS DADOS EXPERIMENTAIS.

V_{GS} [V]	I_0 [A]	η	Φ_B [mV]
-6	$3,23 \times 10^{-7}$	76,6	698
-4	$3,95 \times 10^{-8}$	57,7	752
-2	$3,71 \times 10^{-10}$	35,2	925

Os valores elevados do fator de idealidade são um indicativo de que os

fenômenos de recombinação na interface bem como transporte por tunelamento quântico podem ser bastante significativos [15], [42]. É possível ainda que o fenômeno se deva à presença de uma camada de polarização na interface, resistência no volume do material e aumento da corrente reversa maior do que o previsto pela teoria clássica [43]. A descrição da variação desse fator requer uma análise mais elaborada além do escopo desse trabalho, porém é válido observar que trabalhos anteriores observaram comportamento semelhante, porém em função da variação da temperatura [44].

4.2.3.2 Capacitâncias

Medidas de capacitância podem trazer diversas informações a respeito das propriedades do semiconductor, já que a presença de capacitâncias de difusão ou depleção está associada aos mesmo fenômenos que regulam o transporte de corrente no canal. Apesar de a literatura indicar ser observada uma variação da capacitância em função do potencial de polarização em diodos constituídos de um filme de CuPc entre dois eletrodos metálicos [41], medidas com aplicação de polarização na faixa de $\pm 5V$ não revelaram variação das capacitância entres as combinações em pares dos três terminais. Os valores medidos em diferentes frequências são mostrados na TABELA 6, onde C_{DS} representa a capacitância entre os terminais de dreno e fonte, C_{DG} a capacitância entre dreno e porta e C_{GS} a capacitância entre porta e fonte. Estes parâmetros são usados no modelo de pequenos sinais.

TABELA 6 – MEDIDAS DE CAPACITÂNCIA ENTRE OS TERMINAIS DO TRANSISTOR.

	100 Hz	1 kHz	10 kHz
C_{GS} [nF]	1,38	1,13	1,00
C_{DS} [nF]	1,77	1,72	1,70
C_{DG} [nF]	0,89	0,77	0,70

A invariância da capacitância pode se dever à presença de barreiras energéticas elevadas nos dois eletrodos aliado à pequena espessura do canal, já

que essas condições podem impedir a formação de uma região de depleção além de reduzir a densidade de portadores no volume do canal como um todo. Sem as informações que poderiam ser extraídas do comportamento da capacitância do canal, uma análise em termos da teoria de difusão fica impossibilitada. Esta invariância, porém, não constitui prova de que não existe uma região de depleção em todas as condições de operação do dispositivo, já que a medida foi feita com o terceiro terminal do dispositivo desligado.

4.2.3.3 Característica de Transferência

A característica de transferência é obtida fixando-se um potencial de dreno e variando o potencial de porta. A partir da variação da corrente do canal nessa situação, podemos obter a transcondutância tomando a derivada dessa curva (mostrados na FIGURA 37). Foi escolhido um potencial de dreno de 5V, por representar um valor comum em aplicações comerciais e também por ser um ponto próximo ao limiar de condução que apresenta menores correntes no estado desligado. O resultado da medida da característica de transferência é visto na FIGURA 36-a, e para a característica de entrada (também chamada de corrente de fuga da porta) na FIGURA 36-b.

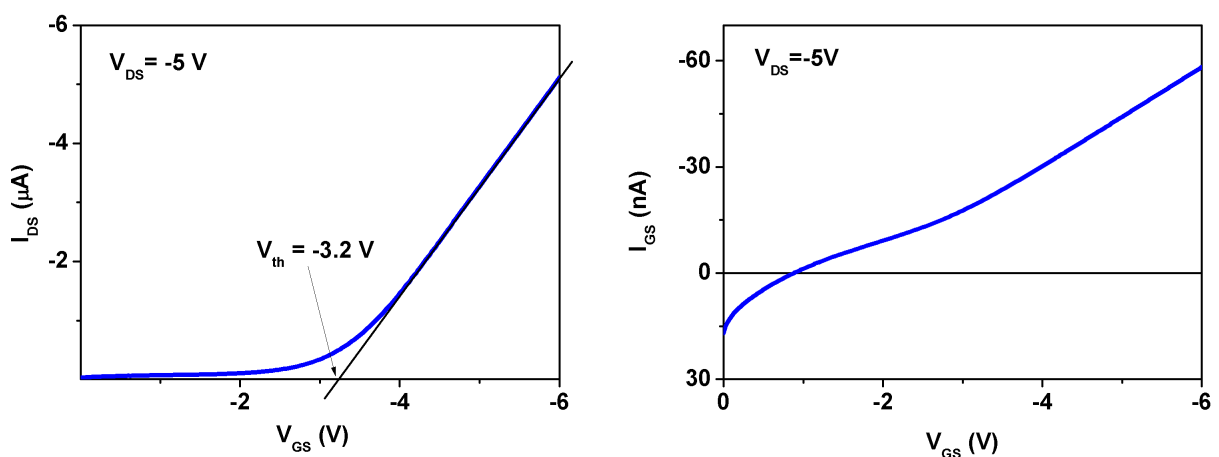


FIGURA 36. CARACTERÍSTICAS I-V DE TRANSFERÊNCIA E ENTRADA NO TERCEIRO QUADRANTE COM $V_{GS} = -5$ V.

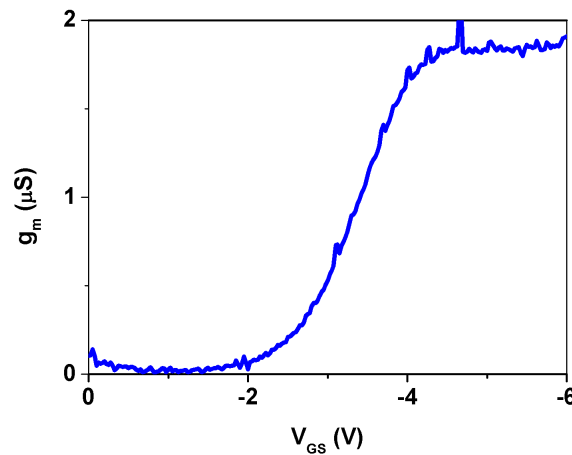


FIGURA 37 – TRANSCONDUTÂNCIA CALCULADA EM $V_{GS} = -5$ V.

Observa-se uma região linear bem definida abaixo de um potencial de limiar de -3,2 V, onde uma transcondutância constante de aproximadamente 1,8 μS foi obtida. Algumas hipóteses podem ser levantadas em função da forte linearidade observada acima da tensão de limiar. Porém, os fenômenos que descrevem a modulação da corrente dreno-fonte requerem uma análise mais elaborada, em função da distribuição dos campos elétricos em torno das regiões de perfuração do eletrodo de fonte, ou ainda um conhecimento mais sólido de sua estrutura e fenômenos de interface, tanto com o isolante quanto com o semicondutor.

Como o sistema porta-isolante-fonte apresenta uma capacitância relativamente elevada, é possível que as cargas induzidas no eletrodo de fonte estejam amplificando a corrente de injeção. Como a densidade de cargas aumenta linearmente com o potencial aplicado ao contato de porta, seria justificável a observação de uma transferência linear, ainda mais considerando a invariância nas medidas de capacitância. Porém, considerando o mecanismo de injeção termiônica, seria mais plausível descrever o fenômeno através de uma redução de barreira energética na interface, conforme os valores listados na última coluna da TABELA 5.

4.2.3.4 Histerese de Transferência

A varredura do potencial de porta, vista na FIGURA 38, mostra um forte efeito de histerese da corrente de canal, sendo que no retorno o cruzamento do eixo das

correntes (corrente com potencial nulo aplicado ao terminal de porta) se dá a um valor aproximadamente 200 nA maior, e o limiar de condução é deslocado de aproximadamente 2 V. A varredura foi feita à velocidade de 40 mV/s, considerada baixa o suficiente para isolar a histerese de efeitos capacitivos. Para comparação de valores, é preciso ter em mente que a amostra usada para as medidas de histerese não é a mesma das seções anteriores.

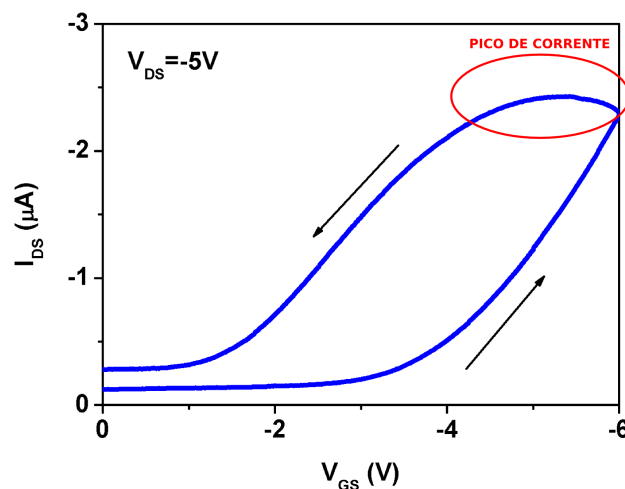


FIGURA 38 – HISTERESE DO FET CuPc NO TERCEIRO QUADRANTE.

Esse efeito tem relação com as características do isolante de porta, conforme comentado na seção 2.6, e é observado com frequência em isolantes poliméricos. Apesar de representar um problema para um transistor operando em regime de chaveamento, o efeito de pode ter aplicações em dispositivos de memória.

Na região marcada no início da curva de retorno é possível observar um comportamento inesperado de aumento da corrente com a redução do potencial aplicado, resultando em um máximo de corrente. Esse fenômeno é replicável e possivelmente é similar ao observado no início do regime de saturação nas curvas de saída de transistores planares construídos com o mesmo material isolante e medidos em condições ambiente, conforme pode ser visto em [13], podendo ser atribuído à adsorção de água na interface do isolante. Alguns trabalhos baseados na modelagem de transistores planares atribuem este comportamento também à presença de um gradiente de mobilidade na interface entre o semiconductor e o isolante, porém esta abordagem não necessariamente se aplica ao transistor vertical [45].

5 CONCLUSÕES

Foi demonstrado um transistor orgânico vertical de efeito de campo, sendo que o eletrodo intermediário é naturalmente permeável e fabricado em uma única etapa de evaporação térmica. Todos os materiais usados no dispositivo final são de baixo custo, fácil processamento e portanto compatíveis com a aplicação em grande área em substratos flexíveis.

Por apresentar modulação bastante significativa tanto no primeiro quadrante quanto no terceiro, o dispositivo fabricado com CuPc pode, em princípio, compor uma lógica complementar sem a necessidade de processos adicionais ou outros materiais. Essa característica simplifica muito a criação de um processo de fabricação comercialmente viável, demonstrando a importância do estudo de semicondutores ambipolares.

A observação de vales e perfurações nas imagens de microscopia de força atômica associada aos dispositivos modulantes dá um indício da validade dos modelos presentes na literatura, porém, a forte linearidade observada na característica de transferência é em princípio inesperada, deixando dúvidas sobre qual é o mecanismo exato que regula a modulação da corrente no canal. Analisando os valores esperados para a penetração de campos elétricos em condutores e semicondutores, além da coerência dos dados experimentais com as previsões dos modelos para junções Schottky, espera-se que o fenômeno ocorra, de fato, na interface entre o eletrodo de fonte e o semicondutor.

O relativo sucesso obtido na fabricação do dispositivo vertical indica que o estudo dessa topologia e outras similares pode trazer resultados superiores àqueles obtidos pela abordagem comumente observada na literatura, que envolve a replicação das estruturas bem estabelecidas na eletrônica do silício como o FET planar. Observa-se a importância da análise fundamental dos mecanismos de transporte antes de compararmos dados experimentais com modelos elaborados, baseados em inúmeras aproximações e considerações que nem sempre se estendem da eletrônica em materiais cristalinos para a eletrônica molecular.

As medidas de capacitância apresentadas para o dispositivo de CuPc não

foram feitas para todas as condições de funcionamento de polarização, e poderiam ser obtidas de uma maneira mais completa. Dessa forma, possivelmente seria observada uma variação, que poderia ter relação com a formação de uma região de depleção.

Como a modelagem apresentada nesse trabalho tem um caráter simplificado, é necessária uma abordagem mais rigorosa para esclarecimento dos fenômenos observados durante a caracterização dos dispositivos produzidos. Poderiam ser feitas simulações dos efeitos de polarização do isolante, armadilhas de portadores nas interfaces, cálculos de elementos finitos para uma avaliação dos campos elétricos na regiões de perfuração, estudo da nucleação do eletrodo intermediário, entre outras possibilidades. Também são necessárias outras formas de caracterização a fim de definir com maior clareza se o modelo termiônico é totalmente válido, ou ao menos parcialmente. Por exemplo, medidas com variação de temperatura ou sob influência de um campo magnético aplicado podem ter efeitos sobre a corrente de canal que poderiam ajudar a discernir entre diferentes modelos de transporte eletrônico.

A presença de ilhas isoladas do restante da estrutura do eletrodo de fonte, possivelmente representando um potencial elétrico flutuante, foi apenas citada no capítulo 3, mas uma análise mais elaborada poderia trazer à tona novos mecanismos associados ao efeito de modulação do dispositivo, ou ainda um fenômeno útil para outras aplicações da morfologia do filme de estanho fabricado naquelas condições.

Apesar de o dispositivo estudado em todos os caso ter sido o FET vertical com fonte permeável, seria bastante válido um estudo análogo para o FET com porta permeável usando as características do estanho para produção do eletrodo intermediário nessa construção.

Finalmente, é possível usar os mecanismos associados à modulação da corrente de canal nestes dispositivos para outros fins, como sensoriamento de campos magnéticos ou dispositivos de memória. Isso pode ser feito com alteração de alguns materiais da estrutura ou introdução de camadas intermediárias com propriedades ferroelétricas, por exemplo.

REFERÊNCIAS

- [1] G. E. Moore, "Cramming more components onto integrated circuits," *Electronics Magazine*, 1965.
- [2] C. D. Dimitrakopoulos and P. R. L. Malenfant, "Organic thin film transistors for large area electronics," *Adv. Mater. (Weinheim, Ger.)*, vol. 14, no. 2, pp. 99–117, 2002.
- [3] G. L. Whiting and A. C. Arias, "Chemically modified ink-jet printed silver electrodes for organic field-effect transistors," *Appl. Phys. Lett.*, vol. 95, no. 25, pp. 2007–2010, 2009.
- [4] R. Eisberg and R. Resnick, *Quantum Physics of Atoms, Molecules, Solids, Nuclei, and Particles*, 2nd ed. Wiley, 1985.
- [5] I. F. L. Dias and M. A. T. da Silva, *Polímeros Semicondutores*. LF Editorial, 2012.
- [6] V. Coropceanu, J. Cornil, D. A. da Silva Filho, Y. Olivier, R. Silbey, and J. L. Brédas, "Charge transport in organic semiconductors," *Chemical Reviews*, vol. 107, no. 4, pp. 926–952, 2007.
- [7] W. Barford, *Electronic and Optical Properties of Conjugated Polymers*. Oxford Science Publications, 2005.
- [8] M. Heuken and N. Meyer, "Organic Vapor Phase Deposition," in *Organic Electronics*, H. Klauk, Ed. Wiley-VCH, 2006, pp. 203–232.
- [9] H. R. Tseng, H. Phan, C. Luo, M. Wang, L. a. Perez, S. N. Patel, L. Ying, E. J. Kramer, T. Q. Nguyen, G. C. Bazan, and A. J. Heeger, "High-mobility field-effect transistors fabricated with macroscopic aligned semiconducting polymers," *Adv. Mater.*, vol. 26, no. 19, pp. 2993–2998, 2014.
- [10] C. Galup-Montoro and M. C. Schneider, *MOSFET modeling for circuit analysis and design*. World Scientific, 2007.
- [11] M. C. Schneider and C. Galup-Montoro, *CMOS analog design using all-region mosfet modeling*. Cambridge University Press, 2010.
- [12] G. Horowitz, "Organic Transistors," in *Organic Electronics*, 1st ed., H. Klauk, Ed. Wiley-VCH, 2006, pp. 1–29.
- [13] C. de Col, A. Nawaz, I. Cruz-Cruz, A. Kumar, A. Kumar, and I. a. Hümmelgen, "Poly(vinyl alcohol) gate dielectric surface treatment with vitamin C for poly(3-hexylthiophene-2,5-diyl) based field effect transistors performance improvement," *Org. Electron.*, vol. 17, pp. 22–27, 2015.
- [14] W. S. Machado and I. A. Hummelgen, "Low-voltage poly(3-hexylthiophene)/poly(vinyl alcohol) field-effect transistor and inverter," *IEEE Trans. Electron Devices*, vol. 59, no. 5, pp. 1529–1533, 2012.
- [15] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. 1981.
- [16] J. G. Simmons, "Richardson-Schottky Effect in Solids," *Phys. Rev. Lett.*, vol. 15, no. 25, p. 967, 1965.
- [17] R. Valaski, S. Ayoub, L. Micaroni, and I. a. Hümmelgen, "Influence of film thickness on charge transport of electrodeposited polypyrrole thin films," *Thin Solid Films*, vol. 415, no. 1–2, pp. 206–210, 2002.

- [18] A. Fischer, P. Siebeneicher, H. Kleemann, K. Leo, and B. Lüssem, "Bidirectional operation of vertical organic triodes," *J. Appl. Phys.*, vol. 111, no. 4, p. 044507, 2012.
- [19] L. Ma and Y. Yang, "Unique architecture and concept for high-performance organic transistors," *Appl. Phys. Lett.*, vol. 85, no. 21, pp. 5084–5086, 2004.
- [20] A. J. Ben-Sasson, E. Avnon, E. Ploshnik, O. Globberman, R. Shenhar, G. L. Frey, and N. Tessler, "Patterned electrode vertical field effect transistor fabricated using block copolymer nanotemplates," *Appl. Phys. Lett.*, vol. 95, no. 21, pp. 50–53, 2009.
- [21] A. J. Ben-Sasson and N. Tessler, "Patterned electrode vertical field effect transistor: Theory and experiment," *J. Appl. Phys.*, vol. 110, no. 4, 2011.
- [22] L. A. Majewski, R. Schroeder, and M. Grell, "Low-voltage, high-performance organic field-effect transistors with an ultra-thin TiO₂ layer as gate insulator," *Adv. Funct. Mater.*, vol. 15, no. 6, pp. 1017–1022, 2005.
- [23] J. Lee, J. H. Kim, and S. Im, "Pentacene thin-film transistors with Al₂O₃+x gate dielectric films deposited on indium-tin-oxide glass," *Appl. Phys. Lett.*, vol. 83, no. 13, pp. 2689–2691, 2003.
- [24] O. Acton, G. Ting, H. Ma, J. W. Ka, H. L. Yip, N. M. Tucker, and A. K. Y. Jen, "Π-Σ-Phosphonic Acid Organic Monolayer/Sol-Gel Hafnium Oxide Hybrid Dielectrics for Low-Voltage Organic Transistors," *Adv. Mater.*, vol. 20, no. 19, pp. 3697–3701, 2008.
- [25] E. a. Van Etten, E. S. Ximenes, L. T. Tarasconi, I. T. S. Garcia, M. M. C. Forte, and H. Boudinov, "Insulating characteristics of polyvinyl alcohol for integrated electronics," *Thin Solid Films*, vol. 568, pp. 111–116, 2014.
- [26] L. Rossi, J. P. M. Serbena, M. S. Meruvia, I. A. Hummelgen, E. M. Stori, C. K. Saul, and Z. Y. Wang, "Hybrid vertical architecture transistor with 2,6-diphenylindenofluorene based emitter and base permeability controlled by polystyrene spheres lithography," *J. Nanosci. Nanotechnol.*, vol. 10, no. 4, pp. 2389–2393, 2010.
- [27] A. Fischer, R. Scholz, K. Leo, and B. Lüssem, "An all C₆₀ vertical transistor for high frequency and high current density applications," *Appl. Phys. Lett.*, vol. 101, no. 21, 2012.
- [28] J. H. Kim, H. Yu, R. Liu, D. Y. Kim, and F. So, "All Solution-Processed Inorganic/Organic Hybrid Permeable Metal-Base Transistor," *Small*, no. 18, pp. 3650–3654, 2014.
- [29] L. Rossi, K. F. Seidel, W. S. Machado, and I. a. Hümmelgen, "Low voltage vertical organic field-effect transistor with polyvinyl alcohol as gate insulator," *J. Appl. Phys.*, vol. 110, no. 9, pp. 0–5, 2011.
- [30] A. V Walker, G. L. Fisher, A. E. Hooper, T. Tighe, R. L. Opila, N. Winograd, and D. L. Allara, "Nucleation and growth of vapor-deposited metal films on self-assembled monolayers studied by multiple characterization probes," in *Metallization of Polymers 2*, E. Sacher, Ed. Springer US, 2002, pp. 117–126.
- [31] M. Kraus, S. Richler, A. Opitz, W. Brütting, S. Haas, T. Hasegawa, A. Hinderhofer, and F. Schreiber, "High-mobility copper-phthalocyanine field-effect transistors with tetratetracontane passivation layer and organic metal contacts," *J. Appl. Phys.*, vol. 107, no. 9, pp. 3–8, 2010.
- [32] T. W. Ng, M. F. Lo, Y. C. Zhou, Z. T. Liu, C. S. Lee, O. Kwon, and S. T. Lee, "Ambient effects on fullerene/copper phthalocyanine photovoltaic interface," *Appl. Phys. Lett.*, vol. 94, p. 193304, 2009.
- [33] K. Hong, K. Kim, and J. Lee, "Enhancement of electrical property by oxygen doping to copper phthalocyanine in inverted top emitting organic light emitting diodes," *Appl.*

- Phys. Lett.*, vol. 95, p. 213307, 2009.
- [34] T. B. Singh, N. Marjanovic, G. J. Matt, S. Günes, N. S. Sariciftci, A. M. Ramil, A. Andreev, H. Sitter, R. Schwödiauer, and S. Bauer, "High Electron Mobility Organic Field-Effect Transistors using Fullerene Thin Film grown by Hot Wall Epitaxy," *Mater. Res. Soc. Symp. Proc.*, vol. 871, pp. 1–8, 2005.
 - [35] J. Hölzl and F. K. Schulte, "Work Functions Of Metals," in *Solid Surface Physics*, Springer Berlin Heidelberg, 1979, pp. 1–150.
 - [36] H. B. Michaelson, "The work function of the elements and its periodicity," *J. Appl. Phys.*, vol. 48, no. 11, pp. 4729–4733, 1977.
 - [37] T. B. Massalski, H. Okamoto, P. R. Subramanian, and L. Kacprzak, *Binary Alloy Phase Diagrams*, vol. 2. 1990.
 - [38] R. Berton, "Investigação da morfologia e das características das interfaces entre metais e polímeros," Universidade Federal do Paraná, 1998.
 - [39] H. Dong, L. Jiang, and W. Hu, "Interface engineering for high-performance organic field-effect transistors," *Phys. Chem. Chem. Phys.*, vol. 14, no. 41, p. 14165, 2012.
 - [40] J. Zaumseil and H. Sirringhaus, "Electron and Ambipolar Transport in Organic Field-Effect Transistors," *Chem. Rev.*, vol. 107, pp. 1296–1323, 2007.
 - [41] A. Sharma, P. Kumar, B. Singh, S. R. Chaudhuri, and S. Ghosh, "Capacitance-voltage characteristics of organic Schottky diode with and without deep traps," *Appl. Phys. Lett.*, vol. 99, no. 2, pp. 2011–2014, 2011.
 - [42] S. Rajaputra, S. Vallurupalli, and V. P. Singh, "Copper phthalocyanine based Schottky diode solar cells," *J. Mater. Sci. Mater. Electron.*, vol. 18, no. 11, pp. 1147–1150, 2007.
 - [43] H. L. Gomes and D. M. Taylor, "Schottky barrier diodes from semiconducting polymers," *IEEE Proc. - Circuits, Devices Syst.*, vol. 144, no. 2, p. 117, 1997.
 - [44] K. Alfaramawi, "Estimation of the ideality factor of ZnTe/CdTe p-p heterojunction diodes," *Optoelectron. Adv. Mater. Rapid Commun.*, vol. 2, no. 12, pp. 763–765, 2008.
 - [45] J. Sworakowski, U. Bielecka, P. Lutsyk, and K. Janus, "Effect of spatial inhomogeneity of charge carrier mobility on current–voltage characteristics in organic field-effect transistors," *Thin Solid Films*, vol. 571, pp. 56–61, 2014.

APÊNDICES

PARÂMETROS USADOS NA FABRICAÇÃO DOS ELETRODOS DOS DISPOSITIVOS COM C₆₀.

Data	Fonte Sn				Canal C60
	Taxa [Å/s]	Exposição [s]	Espessura [nm]	Resistência [Ω]	Massa [mg]
14/03/2015	2,4-2,5	120	-	-	22
	2,4-2,5	150	27,0	-	
18/03/2015 (medidas)	1,8-1,9	150	19,5	180	26
	2,1-2,3	135	20,9	-	
14/04/2015	3,1-3,4	110	25,5	20-30	23,2
	3,0-3,3	100	22,3	Inf.	

* Todas as evaporações de estanho e ouro foram feitas a uma altura de 16cm.

PARÂMETROS USADOS NA FABRICAÇÃO DOS ELETRODOS Sn/Au.

Data	Eletrodo Sn				Cobertura Au
	Taxa [A/s]	Exposição [s]	Densidade	Resistência [Ω]	Espessura [nm]
20/03/2015	2,1-2,3	135	22,8	50-70	3,0
	2,1-2,3	120	19,3	Inf.	
23/03/2015	2,3-2,5	123	19,5	Inf.	3,2
	2,2-2,3	150	23,3	Inf.	
26/03/2015	2,0-2,4	150	22,7	Inf.	3,2
	2,1-2,5	180	28,4	100	
	2,5-2,6	150	26,5	Inf.	
30/03/2015	2,1-2,2	150	22,2	Inf.	5,1
	2,1-2,4	180	28,2	300-500	
08/04/2015	3,1-3,3	120	27,2	15	3,2
(medidas)	3,0-3,5	105	24,9	30-40	
09/04/2015	3,1-3,2	120	25,0	20-40	10,1
	3,1-3,2	100	21,3	Inf.	

* Todas as evaporações de estanho e ouro foram feitas a uma altura de 16cm.